

## Projekt ultraszybkich układów LVDS w technologii nanometrycznej dla potrzeb obrazowania w medycynie

**Streszczenie.** W pracy przedstawiono projekt oraz wyniki symulacji ultraszybkich układów LVDS w technologii nanometrycznej dla potrzeb obrazowania w medycynie. Projekt dotyczy układów nadajnika oraz odbiornika i został wykonany w nowoczesnej technologii CMOS 40nm. Głównymi wymaganiami prezentowanej pracy był mały pobór mocy zarówno statycznej jak i dynamicznej oraz mała zajętość powierzchni układów. Blok nadajnika oparty jest o architekturę przełączanego mostka prądowego zaś głównym elementem odbiornika jest konwerter poziomów logicznych i komparator z histerezą. Układ odbiorczy pobiera 7.08 mW mocy statycznej i 12.09 mW mocy dynamicznej zaś układ nadawczy 17.93 mW mocy statycznej i 26.38 mW mocy dynamicznej. Wyniki symulacji pokazują poprawną pracę układów przy prędkości transmisji 1 Gb/s i obciążeniu nadajnika pojemnością 5 pF. Układ odbiorczy zajmuje powierzchnię 0.009 mm<sup>2</sup> zaś nadawczy 0.1 mm<sup>2</sup>.

**Abstract.** The paper presents the design and simulation results of ultrafast I/O interface in nanometer process. Both, the receiver and the transmitter are designed in CMOS 40nm process and are dedicated to work with a multichannel pixel integrated circuit that is destined for medical imaging systems. The main requirements of a project are a low power consumption and small area occupation of the LVDS circuits. The transmitter is based on the current switching bridge while the receiver is built of the logic converter and inverting comparator with hysteresis. The receiver block dissipates 7.08 mW of static power and 12.09 mW of dynamic power while the transmitter dissipates 17.93 mW of static power and 26.38 mW of dynamic power at 1 GHz signal and 5pF load. The receiver and transmitter occupy respectively 0.009 mm<sup>2</sup> and 0.1 mm<sup>2</sup> of chip area. (**Design of the ultrafast LVDS I/O interface in nanometer process for medical imaging systems**).

**Słowa kluczowe:** standard LVDS, nadajnik i odbiornik LVDS, układy scalone, obrazowanie w medycynie.

**Keywords:** LVDS standard, LVDS transmitter/receiver, integrated circuits, medical imaging.

doi:10.12915/pe.2014.05.24

### Wstęp

Systemy obrazowania najnowszej generacji znajdują szerokie zastosowanie w medycynie i naukach biologicznych. Wykorzystywane są głównie do rejestracji promieniowania jonizującego (X, neutronowe), co pozwala na np. trójwymiarową tomografię, obrazowanie struktur kostnych (radiografia) oraz tkanek miękkich (radiografia neutronowa). Można je także zastosować do wizualizacji rozkładu substancji promieniotwórczych (autoradiografia), co jest wykorzystywane przy sekwencjonowaniu DNA czy śledzeniu dynamiki procesów metabolicznych.

W celu uzyskania jak najbardziej precyzyjnych wyników, stosuje się półprzewodnikowe detektory pracujące w trybie pojedynczego zliczania fotonów. Pozwalają one uzyskać informacje o ilości zdeponowanego ładunku i umożliwiają również określenie przedziału energii fotonów, które mają być zliczane. Co istotne, w obrazowaniu medycznym istnieje potrzeba zbudowania systemu posiadającego możliwość rejestracji obserwowanego zjawiska z jak największą rozdzielczością przestrzenną przy równoczesnym zachowaniu wielkości monitorowanego obszaru. Jest to powodem budowania pikselowych detektorów, które łączy się z zintegrowaną elektroniką kontrolowaną najczęściej przez system nadrzędny. Takie scalone systemy obrazowania generują, w zależności od realizowanego eksperymentu, bardzo dużą liczbę danych (tabela 1), często przekraczającą 1 Gb/s. Dane te muszą być zatem szybko wyprowadzone do układów zewnętrznych.

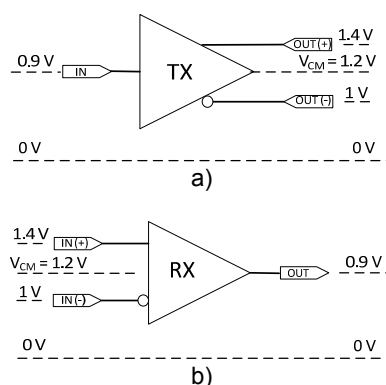
Tabela 1: Ilość generowanych danych w przykładowych układach scalonych dedykowanych do obrazowania w medycynie.

Układ	Rozmiar matrycy	Bity informacji/ piksel
VIPIC 3D [1]	64 x 64	8
PXD18k [2]	96 x 192	16
EIGER [3]	256 x 256	12
Medipix3RX [4]	256 x 256	24

Dlatego też istnieje konieczność zastosowania specjalizowanych układów, które oprócz dużej szybkości transmisji danych, charakteryzować się powinny dodatkowo

niskim poborem mocy, dużą odpornością na zakłócenia oraz małymi generowanymi podczas pracy zakłóceniami. Takie wymagania spełnia m.in. standard LVDS (Low Voltage Differential Signaling) [5], gdzie dzięki zastosowaniu sygnału różnicowego zarówno transmisja jak i odbiór są mniej podatne na zakłócenia a same układy generują mniejsze zakłócenia w układzie scalonym.

Jedną z metod pozwalających na transmisję danych z szybkościami przekraczającymi 1 Gb/s, jest zastosowanie wiodących nanometrycznych technologii produkcji układów scalonych. W niniejszej pracy zostanie przedstawiony projekt oraz wyniki symulacyjne układów nadawczo-odbiorczych LVDS wykonanych w technologii CMOS 40nm.



Rys.1. Schematy blokowe układów: a) nadajnika, b) odbiornika wraz z naniesionymi poziomami napięć.

### Projekt układów nadawczo-odbiorczych w standardzie LVDS

Projektowane układy nadawczo-odbiorcze standardu LVDS będą przeznaczone do pracy w wielokanałowym układzie scalonym dedykowanym do obrazowania w medycynie. Układ ten został zaprojektowany w technologii CMOS 40nm, w której występują dwie domeny napięć zasilających: 0.9 V oraz 2.5 V. Jako, że część cyfrowa układu scalonego jest zasilana napięciem 0.9 V toteż zaistniała konieczność konwersji poziomów napięć standardu LVDS zarówno w układzie nadajnika jak i

odbiornika. Schematy blokowe układów wraz z naniesionymi poziomami napięć zostały przedstawione na rysunku 1.

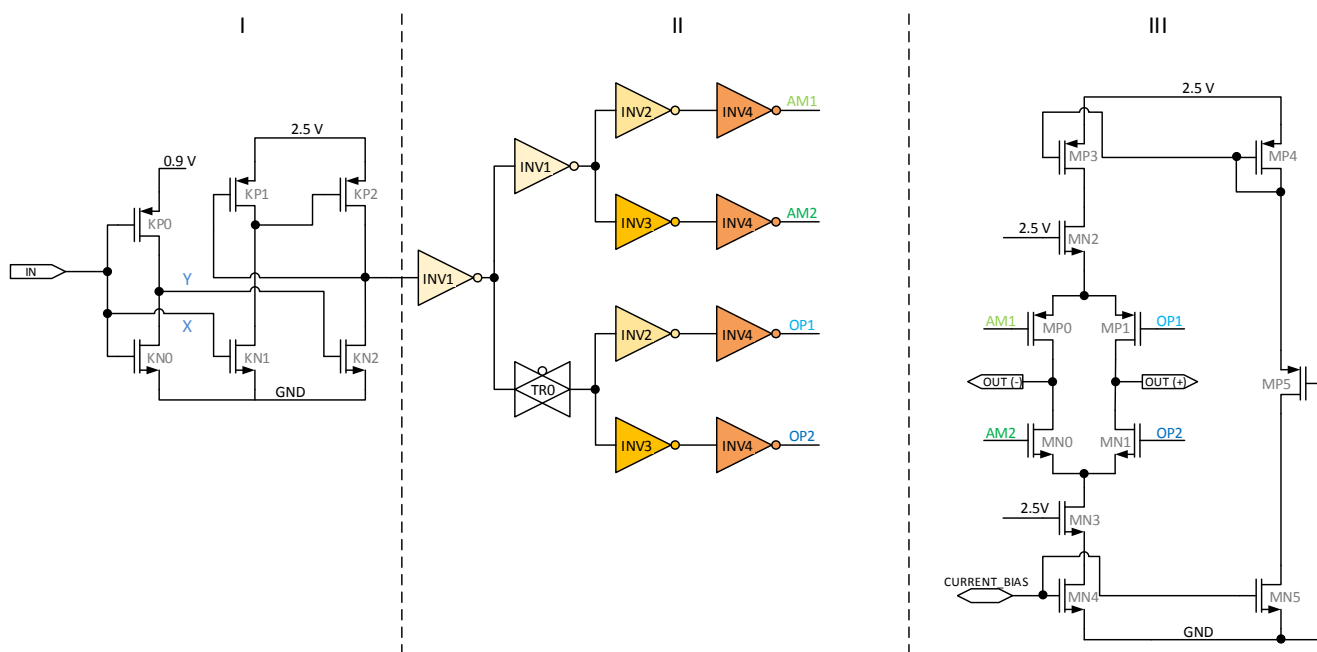
### Nadajnik

Schemat ideowy nadajnika standardu LVDS pokazany jest na Rys. 2. Transmitter składa się z trzech głównych bloków: konwertera poziomów napięć (I), bloku formującego sygnały sterujące (II) oraz przełączanego mostka prądowego (III).

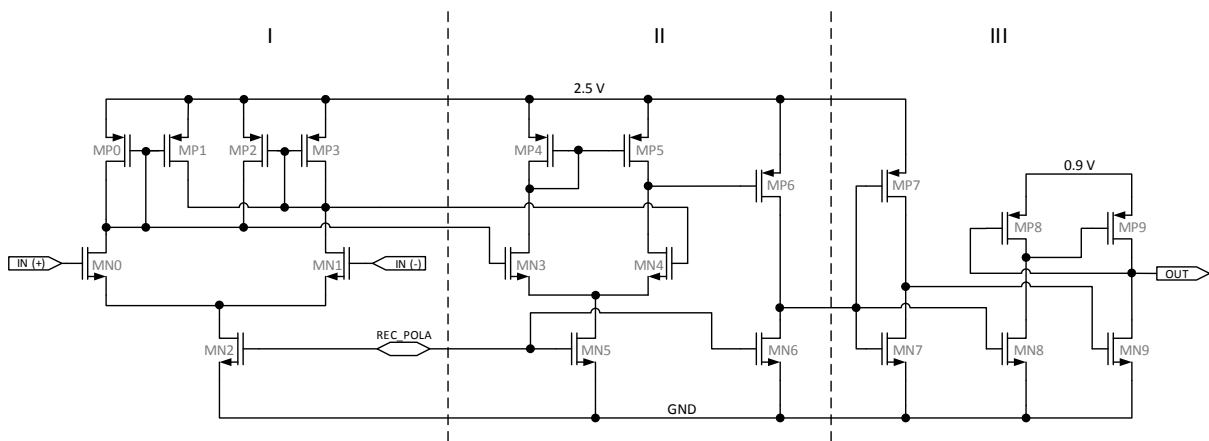
Rolą bloku przesuwnika napięć (I) jest konwersja napięć z poziomu 0-0.9 V (zasilanie części cyfrowej) na 0-2.5 V (zasilanie układów wejścia/wyjścia układu scalonego). W tym celu została wykorzystana architektura składająca się z czterech tranzystorów  $KP_1$ ,  $KP_2$ ,  $KN_1$ ,  $KN_2$ , z których  $KP_1$  i  $KP_2$  tworzą lokalne dodatnie sprzężenie zwrotne zaś tranzystory  $KN_1$  i  $KN_2$  sterowane są przeciwsośnie przez poprzedzający stopień inwertera opartego o tranzystory  $KN_0$  i  $KP_0$ . Dzięki sprzężeniu formowanemu przez tranzystory  $KP_1$  i  $KP_2$  faza przełączania zostaje przyspieszona. Zakładając przykładowo, że tranzystor  $KN_1$  jest wyłączony a  $KN_2$  jest włączony, tranzystor  $KP_1$  jest załączony zaś  $KP_2$  wyłączony. Gdy napięcie na wejściu X narasta (a tym samym na wejściu Y maleje) tranzystor  $KN_1$  jest wprowadzany w stan przewodzenia zaś  $KN_2$  jest wyłączany. Skutkuje to obniżaniem się napięcia na drenie tranzystora  $KN_1$  i podwyższaniem się napięcia na drenie tranzystora  $KN_2$ . Napięcia te sterują bramkami tranzystorów  $KP_2$  i  $KP_1$ , które są odpowiednio włączane i wyłączane tym samym przyspieszając fazę przełączenia. Aby umożliwić przełączanie poziomów logicznych w translatorze poziomów, transkonduktancje tranzystorów NMOS powinny być większe od transkonduktancji tranzystorów PMOS. Dlatego też, wymiary kanałów tranzystorów NMOS wynoszą  $W/L = 24 \mu\text{m}/0.28 \mu\text{m}$  zaś PMOS  $W/L = 12 \mu\text{m}/0.4 \mu\text{m}$ . By nie przekroczyć maksymalnych napięć bramka-źródło tranzystorów konwertera, jako  $KN_1$  i  $KN_2$  wykorzystano tranzystory z cienkim tlenkiem bramkowym (przeznaczone do zasilania napięciem 0.9 V) zaś jako  $KP_1$  i  $KP_2$  użyto tranzystorów z grubym tlenkiem (do pracy z napięciem zasilającym 2.5 V).

Blok formujący sygnały sterujące (II) składa się z łańcucha inwerterów, którego zadaniem jest wytworzenie przeciwsobnych sygnałów sterujących przełączanym mostkiem prądowym (III). W tym celu utworzone zostały dwie ścieżki sygnałowe generujące sygnały przesunięte między sobą o 180 stopni. By zminimalizować przesunięcie fazowe pomiędzy sygnałami wyjść sterujących poszczególnych ścieżek, użyto bramki transmisyjnej  $TR_0$  zbudowanej z tranzystorów o wymiarach kanałów identycznych jak wymiary tranzystorów inwerterów  $INV_1$ . W zaproponowanej architekturze przełączanego mostka prądowego występuje konieczność takiego sterowania tranzystorami mostka  $MP_0$ ,  $MP_1$ ,  $MN_0$ ,  $MN_1$  by zminimalizować momenty, w których pary tranzystorów  $MP_0$ - $MN_0$ ,  $MP_1$ - $MN_1$  są jednocześnie włączone. Sytuacja ta skutkuje zwiększonym poborem mocy dynamicznej układu oraz znacznymi zmianami wspólnego poziomu wyjściowego napięcia stałego transmitera. By zminimalizować ten efekt, zastosowano inwertery  $INV_2$  i  $INV_3$ , które dzięki odpowiedniemu wymiarowaniu tranzystorów, wprowadzają niezbędne przesunięcia fazowe pomiędzy sygnałami sterującymi.

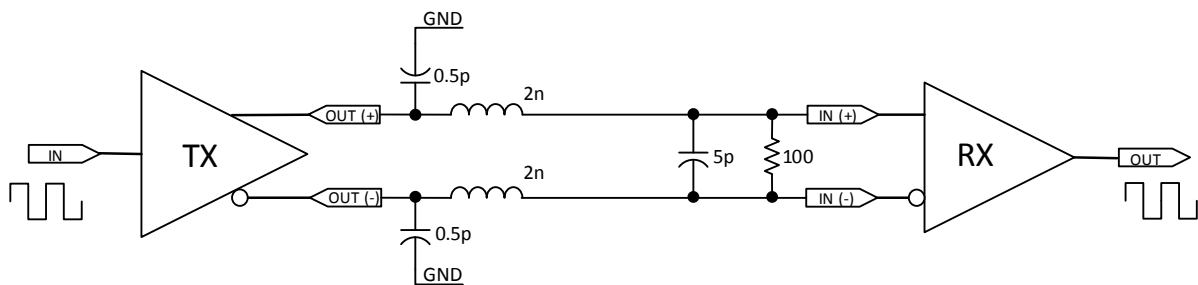
Ostatnim elementem układu nadajnika jest przełączany mostek prądowy (III), którego zadaniem jest wytworzenie na rezystancji obciążenia (wedle standardu LVDS rezystancji o wartości  $100 \Omega$ ) różnicowego napięcia  $\pm 350 \text{ mV}$ . W tym celu zastosowano układ kluczy  $MP_0$ ,  $MP_1$ ,  $MN_0$ ,  $MN_1$  tworzących mostek oraz źródła prądowe oparte na tranzystorach  $MP_3$  i  $MN_4$ . Dzięki wytworzonym przez poprzedni stopień sygnałom sterującym zmianie ulega kierunek prądu płynącego przez obciążenie mostka, co skutkuje zmianą wyjściowego napięcia różnicowego. Tranzystory  $MN_2$ ,  $MN_3$  pełnią rolę rezystorów, dzięki którym ustalane jest wyjściowe napięcie stałe nadajnika. Wymiary kluczy mostka prądowego dobrano biorąc pod uwagę zarówno ograniczenia dotyczące zajmowanej powierzchni przez budowane układy jak i spadków napięć na kluczach. Ostatecznie wymiary kanałów tranzystorów PMOS ustalono na  $W/L = 315 \mu\text{m}/0.28 \mu\text{m}$  zaś tranzystorów NMOS na  $W/L = 120 \mu\text{m}/0.28 \mu\text{m}$ .



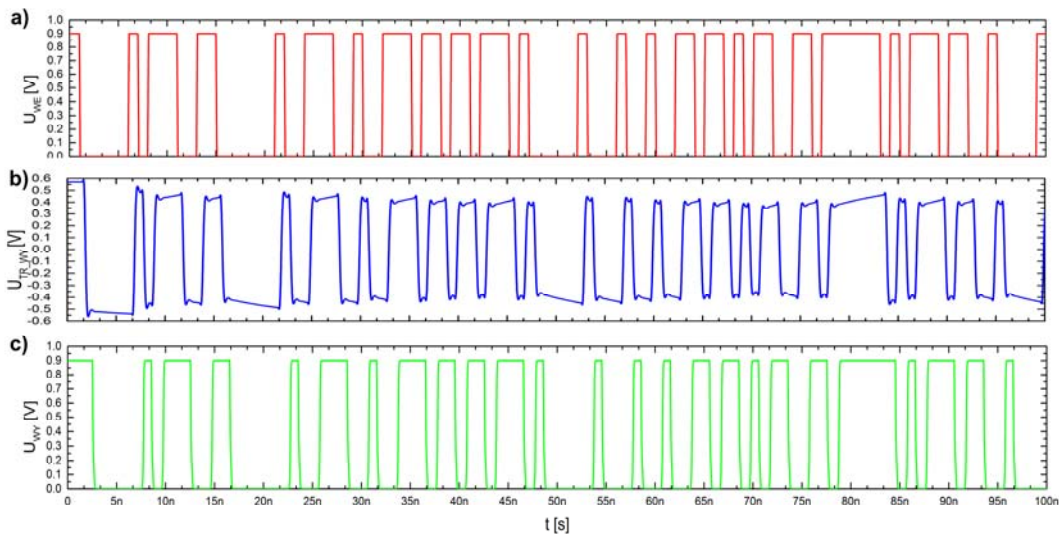
Rys.2. Schemat ideowy układu nadajnika w standardzie LVDS.



Rys.3. Schemat ideowy układu odbiornika w standardzie LVDS.



Rys.4. Schemat układu do symulacji zaprojektowanych bloków nadajnika i odbiornika standardu LVDS



Rys.5. Wynik symulacji czasowej losowego sygnału, gdzie: a) sygnał wejściowy nadajnika, b) różnicowy wyjściowy sygnał nadajnika, c) wyjściowy sygnał odbiornika

### Odbiornik

Schemat ideowy odbiornika sygnałów standardu LVDS przedstawiony jest na Rys. 3. Składa się on z trzech stopni: komparatora z histerezą (I), wzmacniacza napięciowego (II) oraz konwertera poziomów logicznych (III).

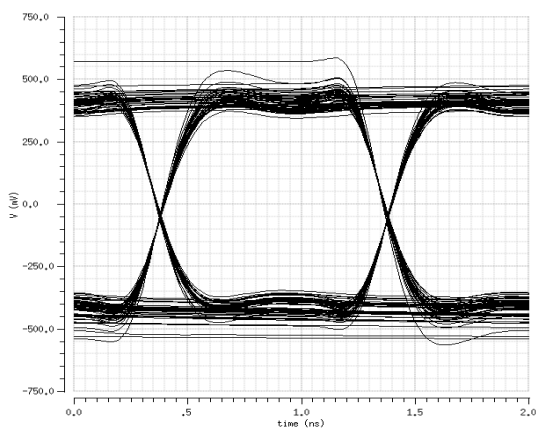
Wejściowy obwód komparatora z histerezą został wykorzystany by zminimalizować wpływ zewnętrznych zakłóceń na liniach wejściowych odbiornika. Pętlę histerezy tworzą tranzystory  $MP_1$  i  $MP_2$ , które wprowadzają lokalne dodatnie sprzężenie zwrotne. Przy założeniu, że napięcia progowe tranzystorów  $MN_0$  i  $MN_1$  są jednakowe, szerokość tak wytworzonej histerezy dana jest w przybliżeniu następującą zależnością [6]:

$$(1) \quad V_H \approx 2 \left[ \left( \frac{2I_0 L_0}{\mu C_{ox} W_0} \right)^{0.5} - \left( \frac{2I_1 L_1}{\mu C_{ox} W_1} \right)^{0.5} \right]$$

gdzie  $W$  i  $L$  to odpowiednio szerokość i długość kanału tranzystora  $MN_0$  i  $MN_1$ ,  $\mu$  to ruchliwość nośników,  $C_{ox}$  to pojemność tlenku bramkowego, zaś  $I_1$  i  $I_2$  to prądy tranzystorów  $MN_0$  i  $MN_1$ , dane następującymi zależnościami:

$$(2) \quad I_1 \approx \left( \frac{W_1 / L_1}{W_0 / L_0} \right) I_0$$

gdzie  $W$ ,  $L$  to wymiary kanałów tranzystorów odpowiednio  $MN_0$  i  $MN_1$ .



Rys.6. Wykres oka dla różnicowego sygnału wyjściowego układu nadajnika dla prędkości transmitowanych danych 1 Gb/s.

Kolejnym stopniem układu odbiornika jest blok wzmacniacza napięciowego pracującego z otwartą pętlą sprzężenia zwrotnego. Zadaniem tego układu jest wzmocnienie różnicowego sygnału z wyjścia komparatora oraz wytworzenie właściwych poziomów napięć dla wejścia inwertera wchodzącego w skład przesuwnika poziomów logicznych (III). W odbiorniku, odwrotnie jak to miało miejsce w nadajniku, konwerter poziomów logicznych ma za zadanie przetworzyć poziomy logiczne 0-2.5 V (układy wejścia/wyjścia układu scalonego) na 0-0.9 V (część cyfrowa układu scalonego). Dlatego też tranzystory  $MN_8$ ,  $MN_9$  to tranzystory z grubym tlenkiem bramkowym a tranzystory  $MP_8$ ,  $MP_9$  to tranzystory z cienkim tlenkiem bramkowym.

Tabela 2: Pobór mocy statycznej i dynamicznej układów nadajnika i odbiornika standardu LVDS.

Blok	Pobór mocy statycznej [mW]	Pobór mocy dynamicznej [mW <sub>RMS</sub> ]	Powierzchnia [mm <sup>2</sup> ]
Nadajnik	17.93	26.38	0.1
Odbiornik	7.08	12.09	0.009

### Wyniki symulacji

Zaprojektowane układy zostały poddane symulacjom w układzie przedstawionym na Rys. 4. By prowadzone analizy były jak najbardziej zbliżone do warunków rzeczywistych, zestawiono oba opisane układy a prowadzone symulacje były symulacjami wykonanymi po ekstrakcji zaprojektowanych bloków nadajnika i odbiornika. Dodatkowo uwzględniono pasożytnicze elementy połączeń, z jakimi będą współpracowały układy nadajnika i odbiornika a ich wartości zostały wyszczególnione na Rys. 4. Na wejście układu nadawczego podano losowy ciąg bitów o prędkości 1 Gb/s.

Wyniki tych symulacji zobrazowano na Rys. 5, gdzie pokazano dane wejściowe układu nadajnika, różnicową odpowiedź transmitera oraz odpowiedź odbiornika standardu LVDS. Układ prawidłowo generuje sygnał różnicowy, który z kolei jest poprawnie dekodowany do wyjściowego ciągu bitów. Dla sygnału różnicowego wygenerowano również diagram oka (Rys 6.) potwierdzający prawidłowe działanie układu dla prędkości transmisji 1 Gb/s.

Dodatkowo, oszacowano pobór mocy statycznej i dynamicznej (dla prędkości transmisji 1 Gb/s) układów nadajnika i odbiornika, które zestawiono w Tabeli 2.

### Podsumowanie

W pracy przedstawiono projekt i wyniki symulacji układów nadajnika i odbiornika standardu LVDS. Układy zostały wykonane w nowoczesnej technologii manometrycznej CMOS 40nm a finalny układ został wysłany do produkcji. Wyniki symulacji potwierdzają poprawną pracę obu zaprojektowanych układów przy transmisjach 1 Gb/s.

### Podziękowania

Praca była realizowana w ramach grantu Narodowego Centrum Nauki DEC-2011/01/B/ST7/05155.

### LITERATURA

- [1] Deptuch, G.W.; Trimpl, M.; Yarema, R.; Siddons, D.P.; Carini, G.; Grybos, P.; Szczygiel, R.; Kachel, M.; Kmon, P.; Maj, P., "VIPIC IC — Design and test aspects of the 3D pixel chip," Nuclear Science Symposium Conference Record (NSS/MIC), 2010 IEEE , vol., no., pp.1540,1543, Oct. 30 2010-Nov. 6 2010
- [2] Szczygiel, R.; Grybos, P.; Maj, P.; Zoladz, M., "PXD18k - fast single photon counting chip with energy window for hybrid pixel detector," Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2011 IEEE , vol., no., pp.932,937, 23-29 Oct. 2011
- [3] V. Radicci, A. Bergamaschi, R. Dinapoli, D. Greiffenberg, B. Henrich, I. Johnson, A. Mozzanica, B. Schmitt, X. Shi, "EIGER a new single photon counting detector for X-ray applications: performance of the chip", Journal of Instrumentation, Vol. 7 February 2012
- [4] R. Ballabriga, J. Alozy, G. Blaj, M. Campbell, M. Fiederle, E. Frojdh, E.H.M. Heijne, X. Llopart, M. Pichotka, S. Procz, L. Tlustosd, W. Wong, "The Medipix3RX: a high resolution, zero dead-time pixel detector readout chip allowing spectroscopic imaging," Journal of Instrumentation Volume 8 February 2013
- [5] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)," IEEE Std 1596.3-1996 , vol., no., pp.1., 1996
- [6] P. E. Allen, D. R. Holberg, "CMOS Analog Circuit Design", New York, Oxford Press, Second Edition, 2002

**Autorzy:** dr inż. Piotr Kmon, mgr inż. Tadeusz Satława, Akademia Górniczo-Hutnicza, WEAIIB, Katedra Metrologii i Elektroniki, Al. Mickiewicza 30, Kraków, E-mail: [kmon@agh.edu.pl](mailto:kmon@agh.edu.pl), [satlawa@agh.edu.pl](mailto:satlawa@agh.edu.pl)