

Implementacja w układzie FPGA modulatora 3D-SVM dla przekształtnika 3-poziomowego z sinusoidalnym napięciem wyjściowym

Streszczenie. Przekształtniki 3-poziomowe stają się obecnie coraz bardziej popularne ze względu na możliwość generowania przebiegów o mniejszej zawartości harmonicznych. Jest to szczególnie istotne w przypadku wytwarzania sinusoidalnego napięcia na wyjściu przekształtnika. Algorytm modulacji SVM coraz częściej implementowany jest w układach programowalnych FPGA ze względu na dużą szybkość działania i możliwość uzyskania dużych częstotliwości przełączania. W artykule przedstawiono implementację algorytmu 3D-SVM dla przekształtnika 3-poziomowego z sinusoidalnym napięciem wyjściowym w układzie FPGA Spartan 6 LX9. Przedstawione wyniki badań doświadczalnych dowodzą poprawności działania prezentowanej implementacji.

Abstract. Three level inverters are becoming more popular due to the ability to generate outputs with less harmonic content. This is especially important when sinusoidal inverter output voltage is required. SVM modulation algorithm is frequently implemented in FPGA programmable logic due to high operating speed and ability to achieve high switching frequencies. The article presents an implementation of a 3D-SVM algorithm for a 3-level sinusoidal output inverter on a Spartan 6 LX9 FPGA. Experimental results are presented that prove correct operation of the presented implementation. **(FPGA implementation of 3D-SVM modulator for a 3-level sinusoidal output voltage inverter)**

Słowa kluczowe: FPGA, przekształtnik 3-poziomowy z diodami poziomującymi, modulator 3D-SVM
Keywords: FPGA, 3-level neutral point clamped inverter, 3D-SVM modulator

doi:10.12915/pe.2014.06.03

Wstęp

Stosowane powszechnie przekształtniki 2-poziomowe generują napięcie wyjściowe przy użyciu modulacji szerokości impulsów. Napięcie wyjściowe ma kształt impulsów prostokątnych, co powoduje pulsacje momentu elektromagnetycznego [11]. W celu zminimalizowania pulsacji dąży się do uzyskania sinusoidalnego napięcia wyjściowego poprzez zastosowanie filtrów LC na wyjściu przekształtnika. Ze względu na dużą zawartość wyższych harmonicznych w napięciu wyjściowym przekształtnika dwupoziomowego wymagane filtry mają duże gabaryty [7].

Przekształtniki wielopoziomowe, w porównaniu do powszechnie stosowanych przekształtników 2-poziomowych, cechują się niższym poziomem zniekształceń napięć wyjściowych, niższą szybkością narastania napięcia oraz możliwością pracy przy niższych częstotliwościach przełączania [6]. Zastosowanie przekształtnika wielopoziomowego do generacji napięcia sinusoidalnego pozwala na zmniejszenie gabarytów wyjściowych filtrów LC ze względu na mniejszą zawartość wyższych harmonicznych w sygnale wyjściowym przekształtnika.

Jedną z popularnych topologii przekształtników wielopoziomowych jest struktura 3-poziomowa z diodami zwrotnymi (NPC). W tej topologiiysterowaniu ulega 12 łączników półprzewodnikowych IGBT co wymaga zastosowania 12 kanałów PWM. Jednocześnie klasyczny algorytm SVM (ang. Space Vector Modulation) wykorzystywany do wyznaczania wypełnień sygnałów PWM takiego przekształtnika jest bardziej złożony obliczeniowo. Ma to istotne znaczenie jeżeli procesor sterujący musi jednocześnie dokonywać pomiarów prądów, napięć i położenia, obsługiwać transmisję szeregową i realizować złożone algorytmy estymacji i regulacji. W celu zapewnienia dużej liczby kanałów PWM oraz odciążenia głównego procesora coraz częściej implementuje się sterowanie przekształtnikiem wielopoziomowym w strukturze układu programowalnego FPGA [4, 5] Układy programowalne zapewniają elastyczność i dużą szybkość działania ze względu na zrównoleglenie wielu operacji.

Problemem implementacji w układach FPGA więk-

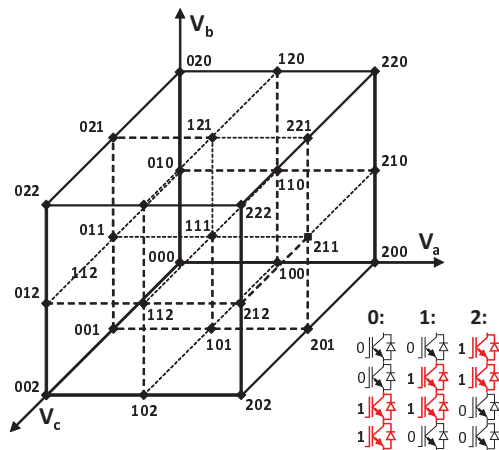
szości wersji algorytmu SVM dla przekształtników wielopoziomowych jest konieczność stosowania funkcji trygonometrycznych [9, 8]. Implementacja funkcji trygonometrycznych w układzie FPGA jest kłopotliwa ze względu na duże zużycie zasobów programowalnych. Z tego względu w literaturze zaproponowano algorytmy SVM nie wymagające stosowania tych funkcji (np. [2]). Jednym z nich jest algorytm 3D-SVM zaproponowany przez Pratsa i in.[1] i rozwinięty w pracach [10, 3]. Prostota algorytmu powoduje, że nadaje się on bardzo dobrze do implementacji w układach programowalnych w zastosowaniu do sterowania przekształtnikami wielopoziomowymi.

W prezentowanym artykule przedstawiono algorytm 3D-SVM oraz omówiono jego implementację w układzie programowalnym Spartan 6 LX9. Zwrócono uwagę na aspekty implementacji pozwalające na znaczne zmniejszenie zużycia zasobów układu programowalnego. Opracowany modulator 3D-SVM został zastosowany w 3-poziomym falowniku napięcia typu NPC o sinusoidalnym napięciu wyjściowym zasilającym silnik PMSM. Przedstawiono wyniki badań doświadczalnych potwierdzających poprawność działania zaimplementowanego algorytmu.

Algorytm 3D-SVM

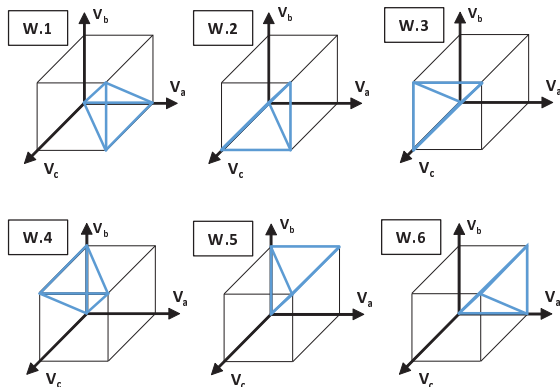
Algorytm 3D-SVM operuje w trójfazowym układzie współrzędnych naturalnych związanych ze stojanem (współrzędne ABC) w odróżnieniu od klasycznych rozwiązań, działających w dwuwymiarowym układzie współrzędnych $\alpha\beta$. Dzięki temu można uniknąć stosowania funkcji trygonometrycznych, których implementacja w układzie FPGA jest kosztowna pod względem zasobów programowalnych. Wartością wejściową są 3 napięcia zadane w poszczególnych fazach, unormowane w zakresie od 0 do 2. Wszystkie możliwe stany modulatora dla przekształtnika 3-poziomowego przedstawiono na rysunku 1.

Długość boku sześcianu (ilość stanów w jednej osi) odpowiada ilości poziomów przekształtnika. Tworzy to 8 podsześcianów. Pierwszy etap algorytmu polega na wyborze odpowiedniego sześcianu w zależności od wartości całkowitej napięcia. Następnie należy znaleźć cztery wektory



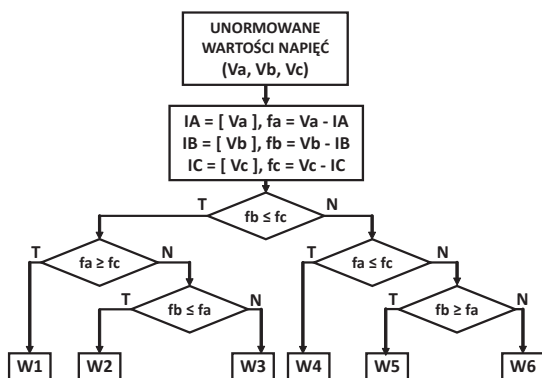
Rys. 1. Wszystkie możliwe stany przekształtnika 3-poziomowego w algorytmie 3D-SVM

stanu przekształtnika, pomiędzy którymi nastąpi przełączenie w celu osiągnięcia zadanego napięcia. Końce wybranych wektorów tworzą czworościan mieszczący się w wybranym podsześcianie. Wszystkie warianty (czworościany) przedstawiono na rysunku 2.



Rys. 2. Wybrane warianty wektorów stanów tworzące czworościan w wybranym podsześcianie przestrzeni stanów przekształtnika

Wybór zestawu wektorów (czworościanu) następuje poprzez porównanie ze sobą części ułamkowych unormowanych wartości napięć. Schemat blokowy algorytmu wyboru odpowiedniego zestawu wektorów przedstawiono na rysunku 3



Rys. 3. Schemat blokowy algorytmu wyboru zestawu wektorów stanu przekształtnika. IA,IB,IC - części całkowite napięć zadanych, fa,fb,fc - części ułamkowe napięć zadanych.

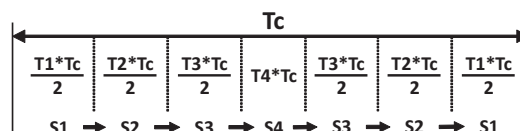
Po wybraniu czterech wektorów stanu, kolejnym etapem algorytmu jest wybór odpowiedniej sekwencji stanów i czasów trwania poszczególnych sekwencji. Sekwencje stanów

Tablica 1. Sekwencje i czasy przełączeń

wariant	sekwencje stanów	czasy przełączeń
W1	S1: IA, IB, IC S2: IA+1, IB, IC S3: IA+1, IB, IC+1 S4: IA+1, IB+1, IC+1	T1 = 1 - fa T2 = fa - fc T3 = fc - fb T4 = fb
W2	S1: IA, IB, IC S2: IA, IB, IC+1 S3: IA+1, IB, IC+1 S4: IA+1, IB+1, IC+1	T1 = 1 - fc T2 = fc - fa T3 = fa - fb T4 = fb
W3	S1: IA, IB, IC S2: IA, IB, IC+1 S3: IA, IB+1, IC+1 S4: IA+1, IB+1, IC+1	T1 = 1 - fc T2 = fc - fb T3 = fb - fa T4 = fa
W4	S1: IA, IB, IC S2: IA, IB+1, IC S3: IA, IB+1, IC+1 S4: IA+1, IB+1, IC+1	T1 = 1 - fb T2 = fb - fc T3 = fc - fa T4 = fa
W5	S1: IA, IB, IC S2: IA, IB+1, IC S3: IA+1, IB+1, IC S4: IA+1, IB+1, IC+1	T1 = 1 - fb T2 = fb - fa T3 = fa - fc T4 = fc
W6	S1: IA, IB, IC S2: IA+1, IB, IC S3: IA+1, IB+1, IC S4: IA+1, IB+1, IC+1	T1 = 1 - fa T2 = fa - fb T3 = fb - fc T4 = fc

i czasy trwania poszczególnych sekwencji zawarto w tabeli 1. Obliczone czasy trwania sekwencji są unormowane do jedności tzn. suma wszystkich czasów wynosi 1 ($T1 + T2 + T3 + T4 = 1$). Implementując algorytm należy przeskalować obliczone czasy względem okresu PWM (T_c).

Sekwencje S1, S2, S3 podzielone są na dwie równe połowy rozłożone symetrycznie wokół środka cyklu. Sekwencja S4 znajduje się w środku cyklu. Rozmieszczenie sekwencji i ich czas trwania przedstawiono na rysunku 4.



Rys. 4. Rozmieszczenie poszczególnych sekwencji przełączeń i czasy trwania sekwencji

Implementacja algorytmu 3D-SVM w układzie programowalnym Spartan 6 LX9

Do implementacji algorytmu 3D-SVM wykorzystano układ programowalny FPGA Spartan 6 (XC6SLX9TQG144) taktowany zegarem 27 MHz. W celu zwiększenia rozdzielczości częstotliwość taktowania została zwiększona do 100 MHz wykorzystując blok zarządzania sygnałem zegarowym wbudowany w układ FPGA. Implementacja została zrealizowana całkowicie w języku VHDL w środowisku Xilinx ISE 14.2. Zadane napięcia w układzie współrzędnych /it ABC otrzymywane są z nadrzędnego procesora DSP, w którym zaimplementowano układy regulacji. Praca w trójfazowym układzie współrzędnych pozwala uniknąć implementacji transformacji $\alpha\beta \rightarrow ABC$ w układzie FPGA, które są kosztowne pod względem wykorzystania zasobów programowalnych. Układ FPGA komunikuje się z procesorem poprzez 16-bitową magistralę równoległą i obsługiwany jest przez procesor jako pamięć zewnętrzna. Na pod-

Tablica 2. Wartości progowe licznika

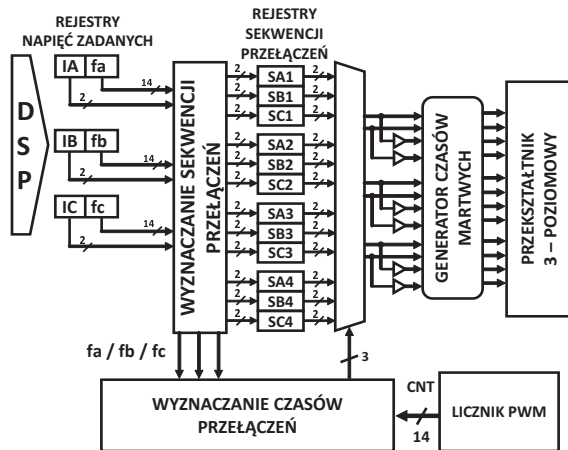
wariant	P1 = T1	P2 = T1+T2	P3 = T1+T2+T3
W1	1 – fa	1 – fc	1 – fb
W2	1 – fc	1 – fa	1 – fb
W3	1 – fc	1 – fb	1 – fa
W4	1 – fb	1 – fc	1 – fa
W5	1 – fb	1 – fa	1 – fc
W6	1 – fa	1 – fb	1 – fc

stawie napięć zadawanych przez procesor DSP, układ FPGA generuje sygnały sterujące do sterowników przekształtnika 3-poziomowego.

W układzie FPGA zaimplementowano dwa zasadnicze bloki funkcjonalne - blok algorytmu 3D-SVM oraz moduł komunikacyjny. Moduł komunikacyjny składa się z 16-bitowych rejestrów oraz logiki sterującej procesem komunikacji. Logika sterująca dekoduje adres rejestru podawany przez procesor DSP i w zależności od stanu sygnałów zapisu i odczytu zapisuje stan szyny danych do odpowiedniego rejestru lub wystawia zawartość tego rejestru na szynę danych.

Procesor DSP przekazuje do układu FPGA napięcia wyznaczone w procesie regulacji przekształcone do trójfazowego układu współrzędnych. Wartości napięć, unormowane są pomiędzy 0 a 2, reprezentowane są jako 16-bitowe liczby stałoprzecinkowe z 14-bitową częścią ułamkową.

Na podstawie reguł przedstawionych na rysunku 3 wybierany jest odpowiedni zestaw wektorów stanu (wariant). W zależności od wybranego wariantu i wartości części całkowitej napięć do rejestrów sekwencji przełączeń zapisywane są stany tranzystorów w poszczególnych fazach cyklu. Zapisywane są stany górnej połowy każdej gałęzi przekształtnika ponieważ stany tranzystorów dolnej gałęzi są ich negacją. Równolegle, w zależności od wybranego wariantu, wyznaczone zostają czasy przełączeń pomiędzy poszczególnymi fazami cyklu. Schemat blokowy modułu 3D-SVM przedstawiono na rysunku 5.



Rys. 5. Schemat blokowy modułu 3D-SVM w układzie FPGA

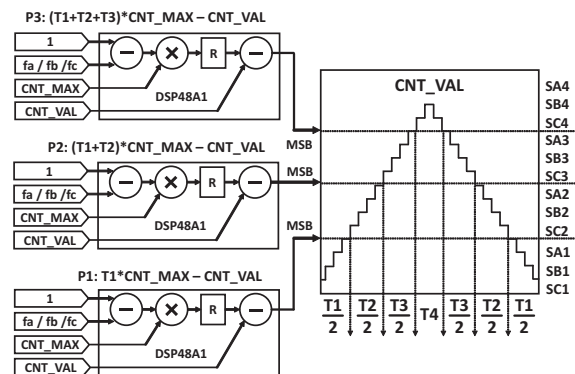
Długość trwania cyklu wyznacza 16-bitowy licznik dwukierunkowy, zliczający z boczka zegarowe. Kierunek zliczania zmienia się w połowie trwania cyklu po osiągnięciu wartości maksymalnej zależnej od częstotliwości zegara. Czasy przełączeń zawarte w tabeli 1 nie są wyznaczone bezpośrednio. Zamiast tego wyznaczone są wartości progowe licznika przy przekroczeniu których następuje zmiana sekwencji stanów. Wartości progowe, równe sumie kolejnych czasów przełączeń, zawarto w tabeli 2.

W celu zmniejszenia użycia zasobów programowal-

Tablica 3. Zużycie zasobów układu programowalnego Spartan 6 LX9

zasoby FPGA	zużyte / dostępne
rejstry	339 / 11440 (2%)
tablice LUT	494 / 5720 (8%)
zajęte komórki	214 / 1430 (14%)
multipleksery	68 / 2860 (2%)
wejścia/wyjścia	78 / 102 (76%)
bloki arytm. DSP48A1	3 / 16 (18%)
bloki zegarowe DCM	1 / 4 (25%)

nych układu FPGA do wyznaczania czasów przełączeń wykorzystano zintegrowane bloki arytmetyczne DSP48A1 układu SPARTAN 6. Bloki te integrują w swojej strukturze sumator 18-bitowy, mnożnik 18 bitowy oraz sumator 48 bitowy. W implementacji algorytmu 3D-SVM wykorzystano trzy bloki DSP48A1 do równoległego wyznaczenia trzech wartości progowych (sumator wejściowy i mnożnik). Wartość wyjściowa mnożnika jest zapisywana w wewnętrznym rejestrze bloku arytmetycznego. Końcowy sumator realizuje funkcję komparatora odejmując od wyniku mnożenia aktualną wartość licznika. Na podstawie znaków wartości wyjściowych bloków arytmetycznych (najstarsze bity) wybierany jest odpowiedni zestaw stanów przekształtnika z rejestrów sekwencji przełączeń. Schemat blokowy modułu wyznaczania czasów przełączeń przedstawiono na rysunku 6.

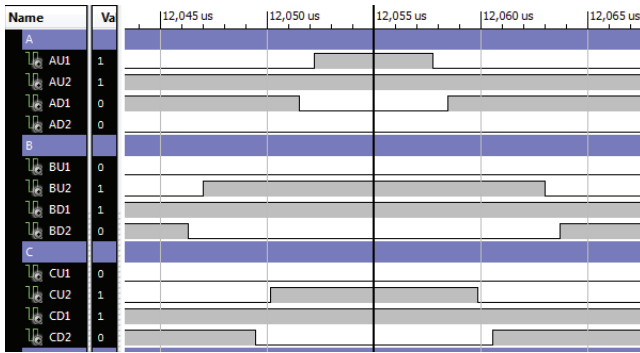


Rys. 6. Schemat blokowy układu przełączenia

W tabeli 3 przedstawiono zużycie zasobów układu programowalnego. W porównaniu do innych implementacji tego algorytmu w układzie FPGA (np. [3]) udało się osiągnąć znacznie mniejsze zużycie zasobów programowalnych. Wynika to głównie z wykorzystania bloków arytmetycznych do wyznaczania czasów przełączeń.

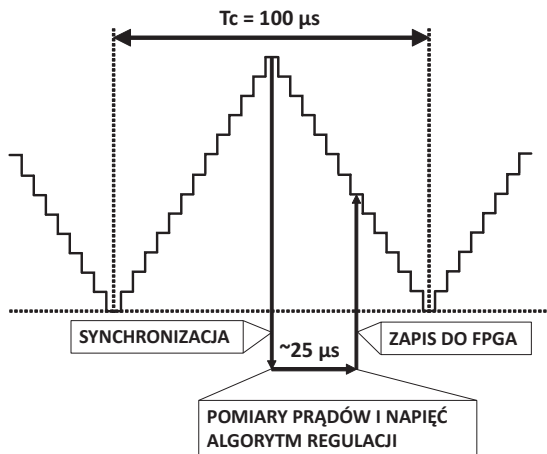
Na wyjściu modułu 3D-SVM znajduje się blok generatora czasów martwych. Czasy martwe są sztucznie dodanym czasem pomiędzy wyłączeniem i załączeniem tranzystorów w tej samej gałęzi. Ponieważ tranzystor IGBT potrzebuje określonego czasu na wyłączenie i jest to czas dłuższy niż załączenie, jednoczesne wyłączenie i załączenie tranzystorów w danej gałęzi mogłoby doprowadzić do zwarcia. Czas martwy zaimplementowany został z wykorzystaniem 8-bitowych liczników zliczających w dół (jeden licznik na jeden kanał PWM), opóźniających z boczka narastające sygnałów sterujących przekształtnikiem. Zbocza opadające nie podlegają opóźnieniu. W omawianym układzie przyjęto czas martwy na poziomie 700 ns. Relatywnie nieduża wartość czasu martwego w stosunku do okresu generatora PWM pozwala na rezygnację z kompensacji czasów martwych w opisywanym modulatorze.

Ponieważ układ sterowania serwonapędu rozdzielony jest pomiędzy procesor DSP i układ programowalny



Rys. 7. Przebiegi wyjściowe podawane na tranzystory z dodanym czasem martwym (symulacja w programie Xilinx ISIM 14.2).

FPGA istotne jest zapewnienie odpowiedniej synchronizacji pomiędzy oboma układami. W przedstawionym rozwiązaniu układ FPGA synchronizuje procesor DSP. W połowie cyklu (maksimum wartości licznika) układ FPGA wyzwała za pomocą dedykowanej linii przerwanie w procesorze DSP, które realizuje pomiary prądów i napięć, algorytm regulacji oraz zapis wyznaczonych wartości napięcia do układu FPGA. Synchronizacja i wyzwolenie pomiarów następuje w połowie cyklu ze względu na brak w tym momencie przełączeń, które mogłyby zakłócić pomiar. Pomiary, algorytm regulacji i zapis do FPGA zajmują nie więcej niż $25 \mu s$ co przy cyklu $100 \mu s$ pozwala na uzyskanie przez układ FPGA nowych wartości napięć przed rozpoczęciem następnego cyklu. Nowe wartości napięć podawane są od razu na logikę kombinacyjną wyznaczającą sekwencje przełączeń i czasy przełączeń. W momencie końca aktualnego cyklu odpowiednie wartości są zatrzymywane w rejestrach sekwencji przełączeń i wewnętrznych rejestrach bloku DSP. Mechanizm ten gwarantuje brak opóźnień związanych z obliczeniami i pozwala na natychmiastowe rozpoczęcie kolejnego cyklu PWM. Mechanizm synchronizacji przedstawiono na rysunku 8.

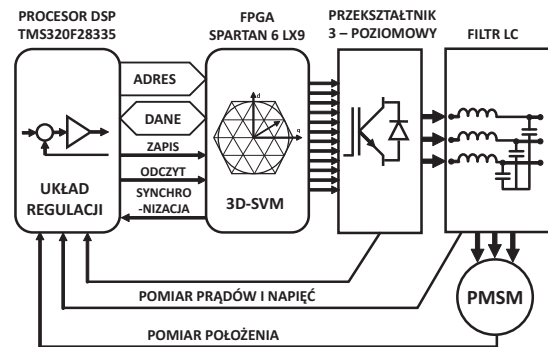


Rys. 8. Mechanizm synchronizacji pomiędzy układem FPGA i procesorem DSP

Badania doświadczalne

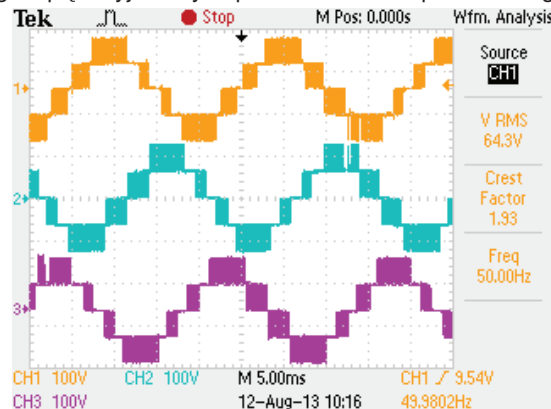
Algorytm 3D-SVM zaimplementowany w układzie programowalnym Spartan 6 LX9 wykorzystano w budowie przekształtnika o sinusoidalnym napięciu wyjściowym. Opracowany przekształtnik 3-poziomowy jest przeznaczony do współpracy z silnikiem PMSM. Sinusoidalne napięcie wyjściowe uzyskiwane jest dzięki zastosowaniu filtra LC na wyjściu przekształtnika 3-poziomowego. Kształtowanie napięcia sinusoidalnego jest realizowane przy użyciu regu-

latora bazującego na sprzężeniu od zmiennych stanu [12]. Schemat blokowy opracowanego serwonapędu przedstawiono na rysunku 9.



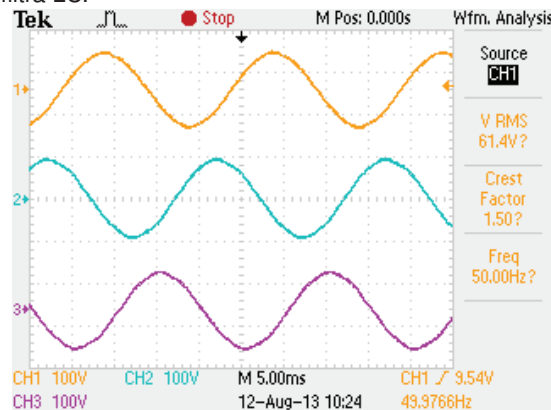
Rys. 9. Schemat blokowy serwonapędu z sinusoidalnym napięciem wyjściowym

Badania eksperymentalne opracowanego przekształtnika 3-poziomowego z filtrem LC przeprowadzono dla napięcia obwodu pośredniczącego $U_{dc} = 120 V$. Poprawność działania zaimplementowanego algorytmu przetestowano bez obciążenia zadając generowanie napięć sinusoidalnych o częstotliwości 50 Hz i amplitudzie 96 V. Okres generatora PWM wynosił $100 \mu s$. Na rysunku 10 przedstawiono przebiegi napięć wyjściowych przekształtnika 3-poziomowego.



Rys. 10. Oscylogram napięć międzyfazowych na wyjściu przekształtnika 3-poziomowego: 1 - U_{ab} , 2 - U_{bc} , 3 - U_{ca}

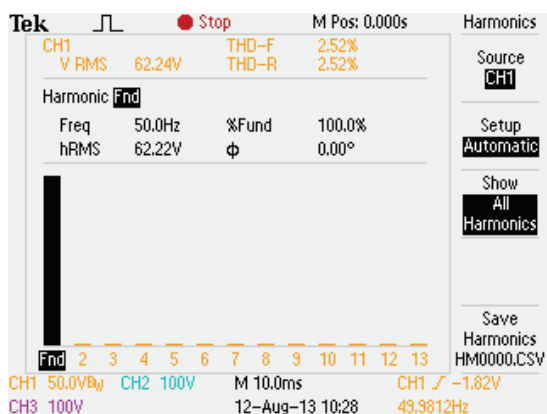
Na rysunku 11 przedstawiono przebiegi napięć na wyjściu filtra LC.



Rys. 11. Oscylogram napięć międzyfazowych na wyjściu przekształtnika 3-poziomowego z filtrem LC: 1 - U_{ab} , 2 - U_{bc} , 3 - U_{ca}

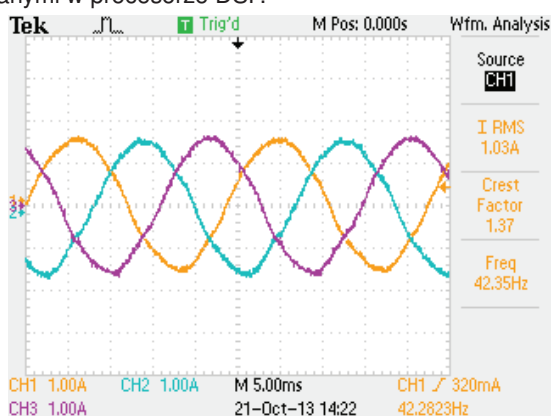
Na rysunku 12 przedstawiono widmo częstotliwościowe napięcia międzyfazowego U_{ab} .

Na rysunku 13 przedstawiono przebiegi prądów stojana i_a, i_b, i_c silnika PMSM o mocy 2,76 kW zarejestrowane w



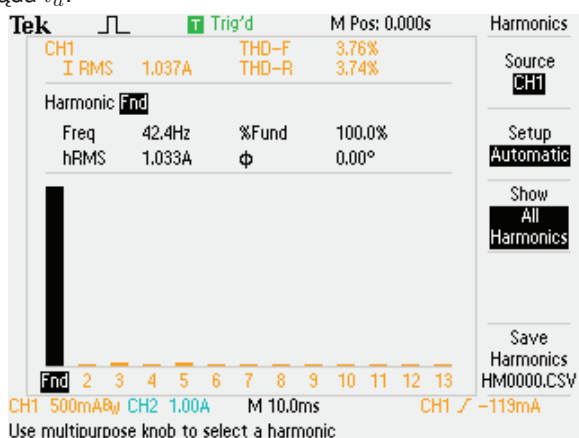
Rys. 12. Oscylogram widma częstotliwościowego napięcia międzyfazowego U_{ab} na wyjściu przekształtnika 3-poziomowego z filtrem LC

stanie ustalonym. Zastosowane zostało sterowanie polowozorientowane z regulatorami prądu typu PI zaimplementowanymi w procesorze DSP.



Rys. 13. Oscylogram prądów stojana: 1 - i_a , 2 - i_b , 3 - i_c

Na rysunku 14 przedstawiono widmo częstotliwościowe prądu i_a .



Rys. 14. Oscylogram widma częstotliwościowego prądu i_a stojana

Przedstawione oscylogramy pokazują, że zniekształcenia napięcia oraz prądu silnika są niewielkie (THD odpowiednio 2,5% i 3,7%) co dowodzi poprawności działania algorytmu 3D-SVM zaimplementowanego w układzie FPGA.

Podsumowanie

W artykule przedstawiono implementację algorytmu 3D-SVM w układzie programowalnym FPGA Spartan 6 LX9. Przedstawiono szczegóły implementacji algorytmu w układzie FPGA. W szczególności zwrócono uwagę na możliwość wykorzystania bloków arytmetycznych do znacznego

zmniejszenia zużycia zasobów programowalnych układu FPGA w porównaniu z implementacjami algorytmu 3D-SVM opisywanymi w literaturze. Zaimplementowany algorytm wykorzystano do budowy serwonapędu o sinusoidalnym napięciu wyjściowym, współpracującym z silnikiem PMSM. Zastosowanie układu FPGA do generacji sygnałów PWM pozwoliło na znaczne odciążenie procesora DSP, realizującego transmisję szeregową, algorytmy regulacji oraz pomiary napięć, prądów i położenia. Przeprowadzone badania doświadczalne dowodzą poprawności działania zaimplementowanego algorytmu i wysoką jakość generowanych przebiegów napięcia (THD ok. 2,5%) oraz prądu (THD ok. 3,7%).

Praca naukowa finansowana ze środków Narodowego Centrum Nauki w ramach grantu badawczego numer 6636/B/T02/2011/40 (2011 - 2013)

LITERATURA

- [1] Prats M. M., Franquelo L. G., Portillo R., Leon J. I., Galvan E., Carrasco J. M., A 3-D Space Vector Modulation Generalized Algorithm for Multilevel Converters, *IEEE Power Electronics Letters*, 1 (2003), n.4, 110–114
- [2] Celanovic N., Boroyevich D., A fast space-vector modulation algorithm for multilevel three-phase converters, *IEEE Transactions on Industry Applications*, 37 (2001), n.2, 637–641
- [3] López Ó., Álvarez J., Doval-Gandoy J., Freijedo F.D., Nogueiras A., Lago A., Peñalver C. M., Comparison of the FPGA implementation of two multilevel space vector PWM algorithms, *IEEE Transactions on Industrial Electronics*, 55 (2008), n.4, 1537–1547.
- [4] López Ó., Álvarez J., Doval-Gandoy J., Freijedo F.D., Multilevel multiphase space vector PWM algorithm with switching state redundancy, *IEEE Transactions on Industrial Electronics*, 56 (2009), n.3, 792–804.
- [5] Valan Rajkumar M., Manoharan P.S., FPGA based multilevel cascaded inverters with SVPWM algorithm for photovoltaic system, *Solar Energy*, 87 (2013), 229–245.
- [6] Rodriguez, J., Lai J.S., Peng F.Z., Multilevel inverters: a survey of topologies, controls, and applications, *IEEE Transactions on Industrial Electronics*, 49 (2002), n.4, 724–738.
- [7] Teichmann R., Bernet S., A comparison of three-level converters versus two-level converters for low-voltage drives, traction, and utility applications, *IEEE Transactions on Industry Applications*, 41 (2005), n.3, 855–86.
- [8] Youm J.H., Kwon B.H., An effective software implementation of the space-vector modulation, *IEEE Transactions on Industrial Electronics*, 46 (1999), n.4, 866–868.
- [9] Gupta A.K. and Khambadkone A.M., A space vector PWM scheme for multilevel inverters based on two-level space vector PWM, *IEEE Transactions on Industrial Electronics*, 53 (2006), n.5, 1631–1639.
- [10] Dai N.Y., Wong M.C., Chen Y.H., Han Y.D., A 3-D generalized direct PWM algorithm for multilevel converters, *IEEE Power Electronics Letters*, 3 (2005), n.3, 85–88.
- [11] Steinke J.K., Use of an LC filter to achieve a motor-friendly performance of the PWM voltage source inverter, *IEEE Transactions on Energy Conversion*, 14 (1999), n.3, 649–654.
- [12] Tarczewski T., Grzesiak L.M., Sterowanie od stanu serwonapędu z silnikiem PMSM zasilanym z przekształtnika o sinusoidalnym napięciu wyjściowym, *Przegląd Elektrotechniczny*, 88 (2012), n.4b, 252-258.

Autorzy: mgr inż. Krystian Erwiński, dr inż. Tomasz Tarczewski, mgr inż. Andrzej Wawrzak, dr inż. Kazimierz Karwowski Uniwersytet Mikołaja Kopernika w Toruniu, Instytut Fizyki, Wydział Fizyki Astronomii i Informatyki Stosowanej, ul. Grudziądzka 5, 87-100 Toruń email: erwin@fizyka.umk.pl, ttarczewski@fizyka.umk.pl, awawrzak@fizyka.umk.pl, kkarwowski@fizyka.umk.pl, Prof. Lech M. Grzesiak, Politechnika Warszawska, Instytut Sterowania i Elektroniki Przemysłowej, ul. Koszykowa 75, 00-662 Warszawa, email: lech.grzesiak@isep.pw.edu.pl