

## Zastosowanie podłoży DBC w praktycznych realizacjach układów elektroniki dużej mocy

**Streszczenie.** W artykule przedstawiono wybrane zagadnienia z zakresu technologii DBC (Direct Bonded Copper) pozwalającej na wytwarzanie podłoży ceramicznych pokrytych jedno- lub dwustronnie warstwą miedzi. Omówiono właściwości tych podłoży, a także ich potencjał aplikacyjny. Efektem badań przeprowadzonych w Krakowskim Oddziale ITE, było wstępne opracowanie technologii i konstrukcji układów elektroniki dużej mocy bazujących na technice DBC. Wytworzenie płytek testowych umożliwiło określenie minimalnej szerokości ścieżek oraz optymalnej odległości pomiędzy nimi. Przeprowadzone badania pozwalają na określenie obciążalności prądowej, możliwości realizacji połączeń ultra- i termokompresyjnych, a także możliwości montażu elementów dołączanych, takich jak rezystory, kondensatory, tranzystory mocy typu MOS-FET, diody LED oraz wybrane układy scalone. Przedstawiono również wybrane realizacje praktyczne układów elektroniki dużej mocy.

**Abstract.** The article presents selected issues of DBC (Direct Bonded Copper) technology for the production of ceramic substrates coated at one or both sides with a thick Cu layers. Properties of DBC substrates and analysis of their areas of application are discussed. The preliminary work carried out in the Krakow Division of the ITE, resulted in the development of technology and design of high power electronics systems based on the DBC technique. Preparation of test samples, allowed to identify the minimum width of the paths, the minimum distance between them, their current capacity, the possibility of achieving thermo- and ultrasonic bonding connections and the ability to attach SMD elements, such as resistors, capacitors, transistors, power MOS-FET, LED and selected integrated circuits. In the paper various practical implementations of power electronics circuits are presented. (**Application of DBC substrates for practical implementations in power electronics circuits**).

**Słowa kluczowe:** podłoża DBC, montaż SMT, układy dużej mocy.  
**Keywords:** DBC substrates, SMT, power electronics modules.

### Wprowadzenie

Geneza powstania technologii podłoży DBC sięga połowy lat osiemdziesiątych ubiegłego stulecia. Została ona opracowana i opatentowana przez specjalistów z General Electric Company, choć początkowo nie potrafiono wykorzystać jej w skali przemysłowej. Dopiero ostatnie lata przyniosły istotny postęp. Łącząc parametry wysokiej przewodności termicznej miedzi oraz jej dużej obciążalności prądowej z dobrymi parametrami mechanicznymi oraz izolacyjnymi ceramiki została opracowana technologia wykonywania podłoży DBC, przeznaczonych do stosowania głównie w układach typu MCM (Multi-Chip Modules). W uproszczeniu technologia ta pozwala na bezpośrednie i trwałe zespolenie dwóch tak różnych materiałów, jak np. miedź i ceramika, bez użycia jakichkolwiek materiałów pośrednich jak np.: spoiw lutowniczych, klejów, itp.

Ze względu na grubą, nawet rzędu kilkuset mikronów, warstwę miedzi wykonane w tej technologii ścieżki charakteryzują się dużą obciążalnością prądową. Współczynnik rozszerzalności termicznej tych podłoży jest zbliżony do krzemu, tak więc nie zachodzi niebezpieczeństwo pęknięć układów pod wpływem narażeń termicznych.

Przeważnie podłoża DBC wykonywane są w wersji z dwiema warstwami miedzi osadzonymi z dwóch stron płaskiej płytki ceramicznej  $Al_2O_3$  lub AlN. Podstawowe wymiary takich podłoży to: grubość ceramiki  $0,4 \div 1,0$  mm, grubość warstwy miedzi  $0,12 \div 0,65$  mm, wymiary gabarytowe  $5,4 \times 7,5$  cala. Z uwagi na fakt, że moduły z DBC charakteryzują się niewielką ilością warstw i brakiem jakichkolwiek spoiw, ich oporność cieplna jest niewielka. Ze względu na zbliżony do krzemu współczynnik rozszerzalności termicznej, moduły DBC są odporne na działanie dużej ilości (nawet do 50 000) cykli termicznych. Mała pojemność i dobra lutowność, w odniesieniu do praktycznie wszystkich elementów elektronicznych, stwarzają możliwość wykonywania hermetycznych układów elektronicznych o dużej mocy. Podstawowe parametry podłoży DBC na ceramice  $Al_2O_3$  przedstawiono w tabeli 1 [1, 6, 7].

Podstawowe zalety podłoży DBC są następujące:

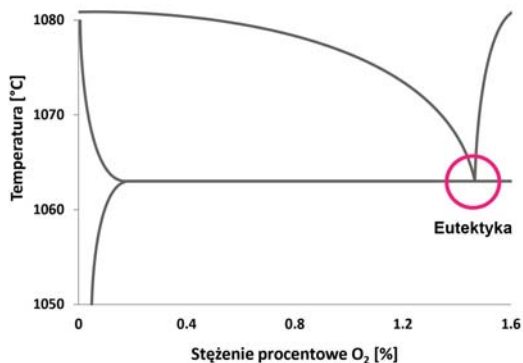
1. dobre własności mechaniczne: mechanicznie trwałe kształt, dobra adhezja warstw miedzi do podłoża i odporność na korozję,
2. doskonała izolacja elektryczna skośna,
3. bardzo wysoka odporność na działanie szoków termicznych,
4. bardzo dobra przewodność termiczna,
5. współczynnik rozszerzalności termicznej zbliżony do krzemu, a więc brak konieczności stosowania warstw pośrednich,
6. dobre rozpraszanie ciepła,
7. mała pojemność,
8. obróbka technologiczna (trawienie, powłoki galwaniczne) analogiczna jak dla PCB.

Tabela 1. Podstawowe parametry podłoży DBC z wykorzystaniem ceramiki  $Al_2O_3$

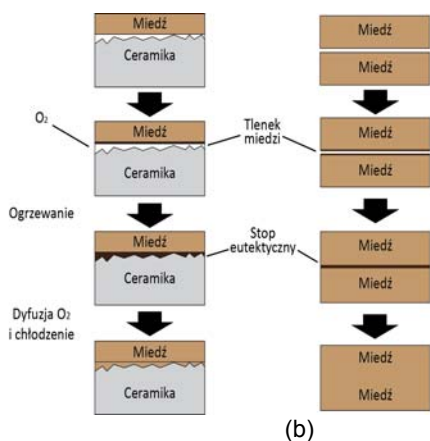
Wytrzymałość na odrywanie ( $N/cm^2$ )	> 60
Pojemność ( $pF/cm^2$ ) dla płytki o grubości 0,63 mm	~ 18
Prąd (A) ścieżka: 1 mm szer./ 0,3 mm grub.	10
Wytrzymałość dielektryczna ( $kV/mm$ )	> 14
Odporność na cykle temp.	> 500 cykli (-45 ÷ +150°C)
Przewodność termiczna ( $W/m K$ )	24
Współczynnik rozszerzalności cieplnej ( $ppm/K$ )	7,2 ÷ 7,4
Max. temperatura pracy (°C)	+850

Proces technologiczny wytwarzania podłoży DBC oparty jest na fizycznym zjawisku polegającym na obniżeniu temperatury topnienia Cu pod wpływem działania tlenu i utworzenia się na granicy warstw związku eutektycznego. Zjawisko to ilustruje rysunek 1, pokazując, że przy procentowym stężeniu atomowym tlenu na poziomie 1,54% temperatura topnienia związku CuO wynosi +1065°C i jest o kilkanaście stopni niższa od temperatury topnienia miedzi. Pomiędzy temperaturami +1065°C i +1083°C miedź wchodzi w reakcję z tlenem, wytwarzając na powierzchni ceramiki cienką, rzędu 50  $\mu m$ , warstwę roztworu

eutektycznego CuO. Roztwór ten powoduje zwilżenie podłoża ceramicznego, a po schłodzeniu, wytworzenie bardzo trwałego połączenia Cu-Cu<sub>2</sub>O pomiędzy miedzią i podłożem ceramicznym (rys. 2a). Bardzo dobre własności zwilżające Al<sub>2</sub>O<sub>3</sub> wywołane są reakcją pomiędzy CuO oraz Al<sub>2</sub>O<sub>3</sub>: CuO+Al<sub>2</sub>O<sub>3</sub>=CuAl<sub>2</sub>O<sub>4</sub>. Obecność tego związku w obszarze granicznym powoduje powstanie połączenia o bardzo dużej wytrzymałości. W analogiczny sposób można również spoić warstwy samej miedzi (rys. 2b), co może znaleźć zastosowanie przy wytwarzaniu podłoży DBC bezpośrednio zespolonych z miedzianymi chłodnicami cieczowymi [1, 2, 3, 5].



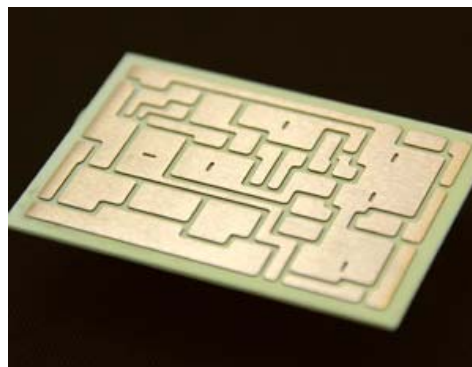
Rys. 1. Wykres fazowy Cu-O



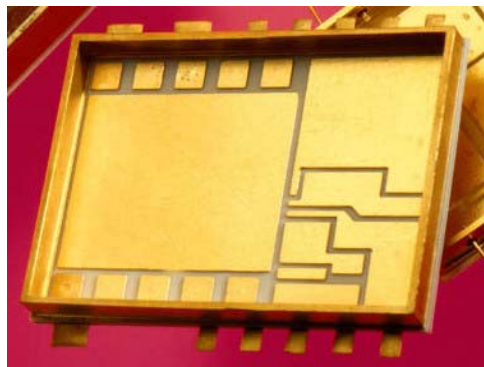
Rys. 2. Schemat blokowy procesu wytwarzania podłoży DBC - (a) Cu -Al<sub>2</sub>O<sub>3</sub>, (b) Cu-Cu

Technologia wytwarzania podłoży DBC nie różni się w sposób istotny od procesu wytwarzania podłoży PCB. Należy jednak, z uwagi na wielokrotnie większą grubość warstwy miedzi, zwrócić szczególną uwagę, aby w procesie projektowania zachować możliwie małe odstępstwa między polami (patrz rys. 3), a w procesie maskowania uwzględnić większe marginesy, z uwagi na możliwość powstawania podtrawień. W procesie trawienia powinny być stosowane specjalizowane trawiarki, przystosowane do usuwania znacznych ilości miedzi z bieżącą kontrolą składu chemicznego roztworu. Zalecanym pokryciem pół lutowniczych jest Au nanoszone chemicznie na podwarstwie Ni. W celu podziału podłoży na mniejsze elementy oraz przy ewentualnej konieczności wykonania otworów zalecany jest laser CO<sub>2</sub> [6].

Na rysunku 3 przedstawiono przykładowe rozwiązania podłoży układów elektronicznych bazujących na technologii DBC. Często stosuje się je w układach hermetyzowanych, w których stanowią równocześnie jedną ze ścian (rys. 3b) [4, 7].



(a)

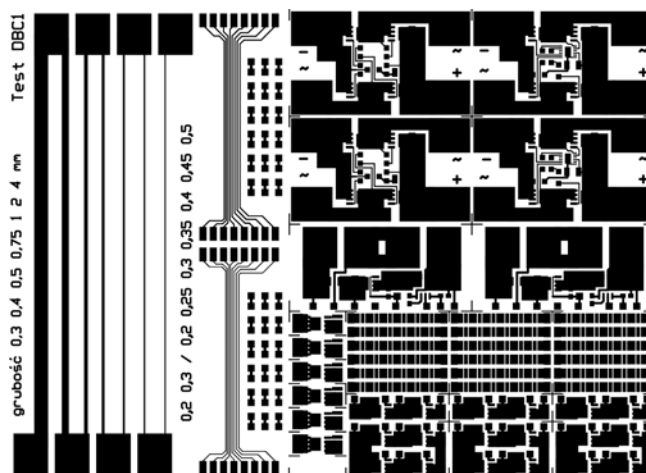


(b)

Rys. 3. Przykłady praktycznych rozwiązań układów DBC (a) gotowe podłoża, (b) gotowe podłoża w obudowie

### Badania eksperymentalne

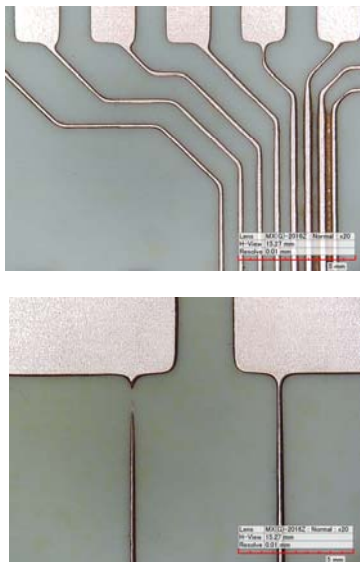
Do przeprowadzenia części eksperymentalnej wybrano dwa rodzaje podłoży DBC o wymiarach 5,4 x 7,5 cala wykonane na bazie ceramiki alundowej. Pierwsze podłoża, o grubości 0,63 mm, było pokryte obustronnie warstwą miedzi o grubości 0,3 mm, drugie, o grubości 0,38 mm, było pokryte obustronnie warstwą miedzi o grubości 0,2 mm. Zaprojektowano płytkę testową pokazaną na rysunku 4. Płytki pokryto fotolakerem, selektywnie naświetlono poprzez fotomaskę i poddano procesowi trawienia w roztworze zawierającym CuCl<sub>2</sub>, HCl oraz perhydrol. Proces trawienia przeprowadzono w czasie 2 godz. w temperaturze pokojowej, z wykorzystaniem wanny do trawienia wyposażonej w system mieszania sprężonym powietrzem.



Rys. 4. Projekt płytki testowej

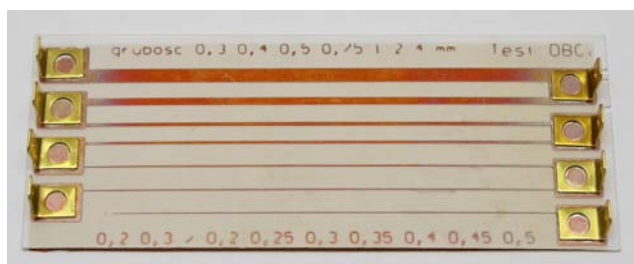
Lewa część płytki testowej została zaprojektowana tak, aby można było określić minimalną szerokość ścieżek, ich obciążalność prądową oraz minimalną odległość pomiędzy ścieżkami. Na płytce umieszczono również 36 pól kontaktowych pozwalających na prowadzenie badań połączeń ultrakompresyjnych oraz termokompresyjnych. Do inspekcji optycznej użyto cyfrowego mikroskopu multifokalnego typu Hirox KH7700 stosując powiększenie 20-krotne.

Na rysunku 5 pokazano wybrane wyniki inspekcji pozwalające na ocenę minimalnej odległości pomiędzy ścieżkami oraz minimalnej szerokości ścieżki.



Rys. 5. Wybrane wyniki oceny minimalnej odległości pomiędzy ścieżkami i minimalnej szerokości ścieżki

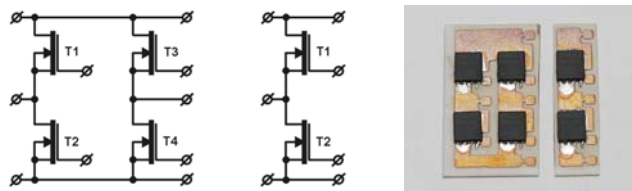
Dla oceny obciążalności prądowej ścieżek o szerokościach od 0,3 do 4 mm, płytkę testową wyposażono w złącza konektorowe, tak jak to pokazano na rysunku 6. Przez poszczególne ścieżki wymuszano przepływ prądu stałego o wartościach 6, 8, 10 A/mm szerokości ścieżki. Temperatury ścieżki w czasie 5 min wynosiły odpowiednio 36, 40, 50°C.



Rys. 6. Płytkę testowa do badań obciążalności prądowej ścieżek przewodzących

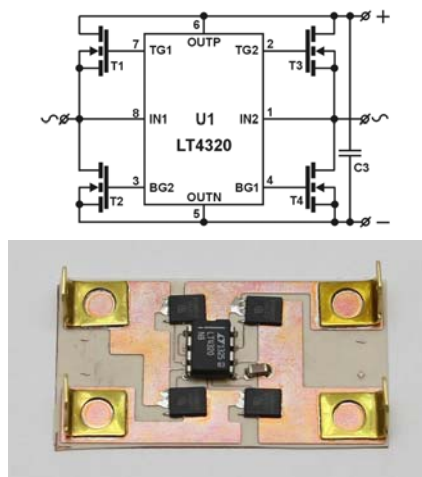
Poniżej przedstawiono realizacje opracowane i wykonane w Instytucie Technologii Elektronowej, pozwalające na zbadanie możliwości montażu elementów dołączanych takich jak rezystory, kondensatory, tranzystory mocy typu MOS-FET w obudowie PG-TDSON-8 FL, diody LED oraz wybrane układy scalone.

Na rysunku 7 pokazano przykład praktycznej realizacji montażu tranzystorów typu BSC016N06NS o podstawowych parametrach  $V_{DS} = 60 \text{ V}$ ,  $I_D = 100 \text{ A}$  i  $R_{DS(on)max} = 1,6 \text{ m}\Omega$  w realizacji układu mostkowego i półmostkowego.



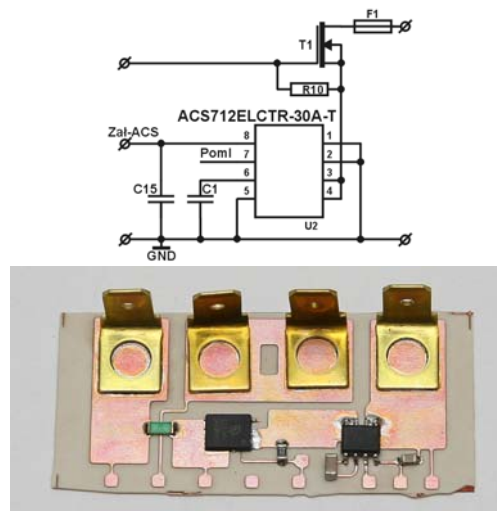
Rys. 7. Przykład praktycznej realizacji układu mostkowego i półmostkowego

Na rysunku 8 pokazano przykład praktycznej realizacji pełnokresowego prostownika „idealnego” o napięciu 48 V i prądzie 50 A.



Rys. 8. Przykład praktycznej realizacji układu pełnokresowego prostownika „idealnego” o napięciu 48 V i prądzie 50 A

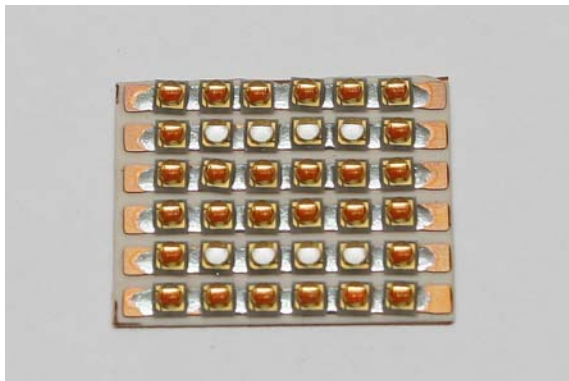
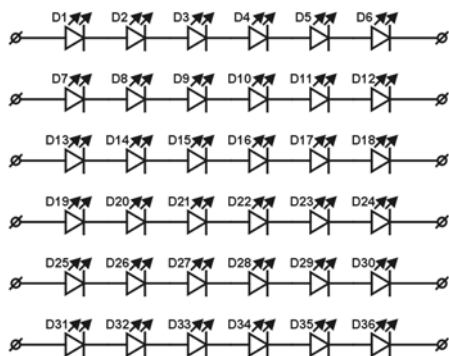
Na rysunku 9 pokazano przykład praktycznej realizacji wybranej części kontrolera rozładowania akumulatora przeznaczonego do autonomicznych instalacji fotowoltaicznych.



Rys. 9. Przykład praktycznej realizacji wybranej części kontrolera rozładowania akumulatora

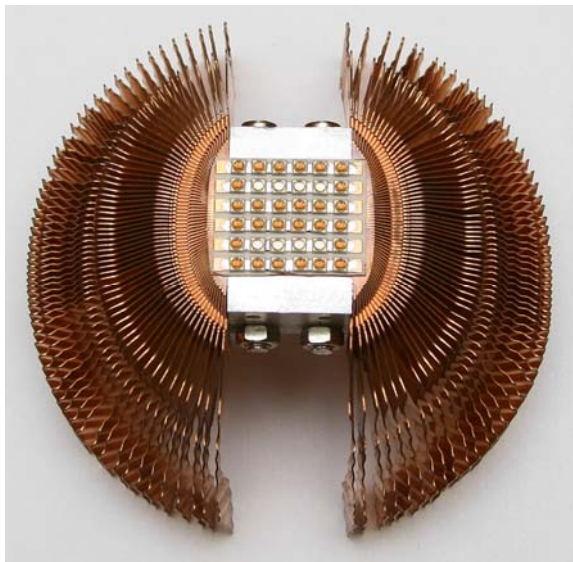
Na rysunku 10 pokazano przykład praktycznej realizacji oświetlacza zbudowanego z 36 jednowatowych diod LED, przeznaczonego do systemów doświetlania roślin.





Rys. 10. Przykład praktycznej realizacji oświetlacza LED przeznaczony do systemów doświetlania roślin

Metalizacja spodniej części płytki oświetlacza LED pozwoliła na wykonanie połączenia lutowniczego łączącego ją z miedzianym radiatorem, jak to pokazano na rysunku 11.



Rys. 11. Płytko oświetlacza LED przylutowana do radiatora wykonanego z miedzi

### Wyniki badań eksperymentalnych i uwagi końcowe

W wyniku przeprowadzonych badań stwierdzono, że zastosowana technologia fotolitografii i trawienia pozwala, w przypadku płytek pokrytych warstwą miedzi o grubości 0,2 mm, na uzyskanie ścieżek przewodzących o szerokości 0,4 mm przy zachowaniu odległości pomiędzy ścieżkami 0,4 mm, natomiast w przypadku płytek pokrytych warstwą miedzi o grubości 0,3 mm, na uzyskanie ścieżek przewodzących o szerokości 0,5 mm przy zachowaniu odległości pomiędzy ścieżkami 0,5 mm. Zrealizowane w ramach eksperymentu praktyczne realizacje układów mocy funkcjonowały poprawnie. W ramach dalszych prac planuje się optymalizację procesu trawienia i opracowanie podstaw technologii i konstrukcji układów elektroniki dużej mocy bazujących na podłożach DBC.

Prace te zostały zrealizowane dzięki finansowaniu w ramach projektu MIME POIG.01.01.02-00-108/09.

### LITERATURA

- [1] Schulz-Harder J., Advantages and new development of direct bonded copper substrates, *Microelectronics Reliability* 43 (2003) 359-365
- [2] Schulz-Harder J., Exel K., Recent Developments Of Direct Bonded Copper (DBC) Substrates For Power Modules, <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1298787>, dostęp luty 2015
- [3] Hong H., Renli F., Deliu W., Xiufeng S., Min J., A new method for preparation of direct bonding copper substrate on Al<sub>2</sub>O<sub>3</sub>, *Materials Letters* 61 (2007) 4131-4133
- [4] Schulz-Harder J., Meyer A., Hermetic Packaging for Power Multichip Modules, <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=4417533>, dostęp luty 2015
- [5] Hromadka K., Stulik J., Reboun J., Hamacek A., DBC Technology for Low Cost Power Electronic Substrate Manufacturing, 24th DAAAM International Symposium on Intelligent Manufacturing and Automation, 2013 *Procedia Engineering* 69 (2014)1180-1183
- [6] Hopkins D.C., Excerpt – Direct Bonded Copper, Buffalo 2003 [http://www.dchopkins.com/professional/open\\_seminars/DirectBondedCopper.pdf](http://www.dchopkins.com/professional/open_seminars/DirectBondedCopper.pdf), dostęp luty 2015
- [7] Tong Hsing Electronic Ind., LTD. DBC (Direct Bonded Copper) Substrate, <http://metallized-ceramic.ready-online.com/dbc.html#>, dostęp luty 2015

**Autorzy:** dr inż. Wojciech Grzesiak, Instytut Technologii Elektronowej, Oddział w Krakowie, ul. Zabłocie 39, 30-701 Kraków, E-mail: [grzesiak@ite.waw.pl](mailto:grzesiak@ite.waw.pl); lic. Piotr Maćków, Instytut Technologii Elektronowej, Oddział w Krakowie, ul. Zabłocie 39, 30-701 Kraków; mgr Tomasz Maj, Instytut Technologii Elektronowej, Oddział w Krakowie, ul. Zabłocie 39, 30-701 Kraków; dr Jan Kulawik, Instytut Technologii Elektronowej, Oddział w Krakowie, ul. Zabłocie 39, 30-701 Kraków; mgr inż. Beata Synkiewicz, Instytut Technologii Elektronowej, Oddział w Krakowie, ul. Zabłocie 39, 30-701 Kraków; mgr inż. Krzysztof Witek, Instytut Technologii Elektronowej, Oddział w Krakowie, ul. Zabłocie 39, 30-701 Kraków.