

## Modelowanie struktury potokowej przetworników analogowo-cyfrowych

**Streszczenie.** W artykule omówiono szybki i wiarygodny sposób weryfikacji projektowanej struktury potokowego przetwornika analogowo-cyfrowego, z wykorzystaniem reprogramowalnych układów analogowych FPAA AN221E04 do konfiguracji i kolejnych rekonfiguracji opracowywanego układu mieszanego. Dzięki zastosowaniu układów reprogramowalnych wstępny projekt może być wielokrotnie modyfikowany, implementowany w rzeczywistym układzie analogowym i ponownie badany. Pomiary przetwornika pozwalają na ocenę uzyskanych parametrów i iteracyjne poprawienie projektu w celu uzyskania pożądanych właściwości przetwornika.

**Abstract.** A modeling and prototyping method for designing pipelined analog-to-digital converter has been presented in the paper. The method is based on implementation of field programmable analog arrays to configure and reconfigure mixed signal systems. An improved pipelined ADC with 1,5 stages has been used as an example. The circuit characteristics have been measured and then structure of the converter has been reconfigured to satisfy input specifications. (**Modeling of the structure of pipelined analog-to-digital converters**).

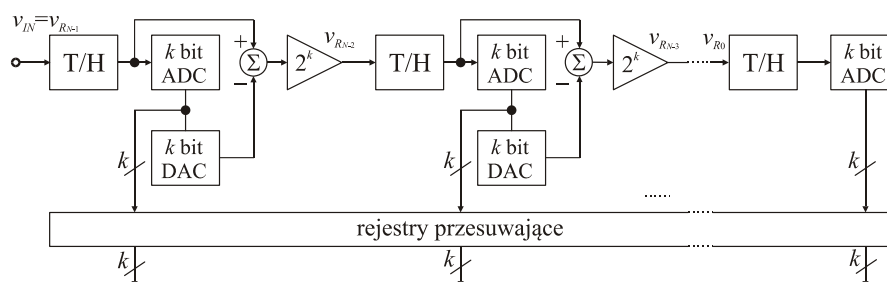
**Słowa kluczowe:** przetworniki analogowo-cyfrowe, układy mieszane, FPAA, ASIC, SoC.

**Keywords:** ADC, Mixed-signal integrated circuit, FPAA, ASIC, SoC.

### Wprowadzenie

Współcześnie produkowane monolityczne przetworniki analogowo-cyfrowe można podzielić na dwie grupy: na szybkie i o dużej rozdzielczości [1–2]. Podstawowymi typami stosowanych przetworników są przetworniki flashowe (*Flash*), z przetwarzaniem równoległym (*SAR*) oraz z modulatorami Sigma-Delta. Zwykle większa rozdzielczość przetwornika jest okupiona mniejszą szybkością przetwarzania lub większą złożonością układu. Zmniejszenie czasu przetwarzania przetworników

wielobitowych uzyskuje się najczęściej przez ich włączenie w strukturę potokową [3–8]. Pozwala to na osiągnięcie czasu przetwarzania równego okresowi przetwarzania pojedynczego stopnia  $T_s$ , niezależnie od rozdzielczości przetwornika. Taka poprawa jest możliwa, ponieważ przetwornik potokowy przetwarza jednocześnie  $N$  kolejnych próbek sygnału wejściowego. Ideę struktury potokowej przetwornika a/c ilustruje rysunek 1.



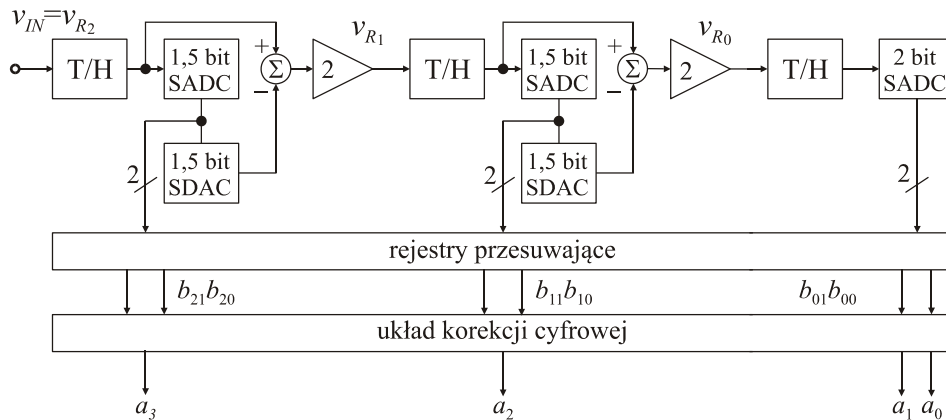
Rys. 1. Schemat blokowy potokowego przetwornika a/c o rozdzielczości  $M = N \cdot k$

Na wejściu każdego stopnia znajduje się układ pamiętająco-próbkujący. W strukturze potokowej połączonych jest  $N$  stopni z  $k$ -bitowymi wyjściami cyfrowymi. Kolejne próbki sygnału wejściowego  $v_{IN}$  są przetwarzane przez pierwszy stopień a sygnał resztkowy  $v_{Ri}$  przekazywany jest do kolejnego stopnia, w celu przetworzenia w następnym cyklu zegarowym. Ponieważ w danej chwili czasu każdy stopień przetwarza inną próbkę sygnału wejściowego, wyjścia cyfrowe stopni muszą zostać opóźnione w rejestrach przesuwających, tak, aby kody cyfrowe wszystkich stopni odpowiadały tej samej próbce. Dodatkowo może być wykorzystana korekcja cyfrowa jeżeli stopnie struktury potokowej generują nadmiarowe bity.

Cechą charakterystyczną przetwornika potokowego jest to, iż zbudowany jest z takich samych struktur w każdym stopniu przetwarzania. Przedstawiony na rysunku 1 przetwornik ma rozdzielczość  $M = N \cdot k$ . Każdy ze stopni przetwornika zawiera układ T/H, przetwornik a/c o rozdzielczości  $k$  bitów (ADC), przetwornik c/a o rozdzielczości  $k$  bitów (DAC), układ odejmujący i wzmacniacz o wzmacnieniu  $2^k$ . Dzięki zastosowaniu układów T/H każdy ze stopni przetwarza jednocześnie inną

próbkę, zapewniając dużą szybkość przetwarzania.

Pierwszy stopień przetwarza najbardziej aktualną próbkę napięcia, a następne stopnie napięcie z poprzednich stopni, nazywane napięciami resztkowymi. W każdym stopniu układ T/H próbkuje i pamięta napięcie wyjściowe z poprzedniego stopnia. Zapamiętana w układzie T/H analogowa wartość sygnału wejściowego jest zamieniana na kod cyfrowy długości  $k$  bitów w przetworniku ADC, a następnie odtwarzana z powrotem na wartość analogową za pomocą przetwornika DAC, o rozdzielczości  $k$ . Napięcie wyjściowe przetwornika DAC jest odejmowane od zapamiętanego sygnału wejściowego i różnica jest wzmacniana  $2^k$  krotnie w celu wygenerowania wyjściowego sygnału resztkowego, który jest podawany do następnego stopnia. Sygnał wejściowy przechodzi przez wszystkie stopnie struktury potokowej, aż osiągnie ostatni stopień. W każdej połowie okresu próbkowania, kolejna próbka podąża za poprzednią. W ten sposób w tym samym czasie w każdym z  $N$  stopni przetwarzana jest inna próbka, umożliwiając osiągnięcie skróconego czasu przetwarzania, niezależnie od rozdzielczości przetwornika.



Rys. 2. Potokowy przetwornik a/c ze stopniami o rozdzielczości 1,5 bita

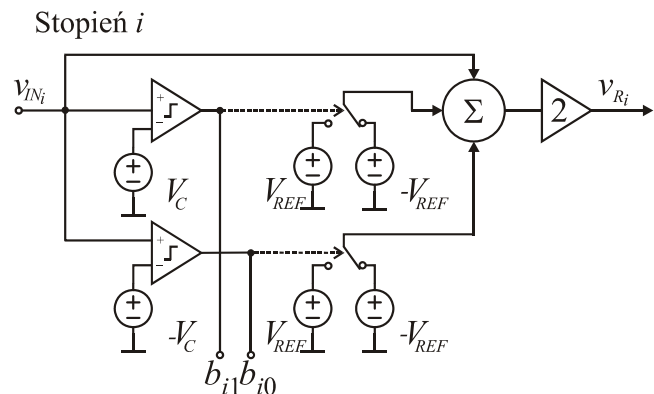
### Struktura i algorytm działania prototypu potokowego przetwornika a/c ze stopniami 1,5 bita

W celu poprawienia dokładności przetwarzania potokowych przetworników a/c stosuje się modyfikację budowy ich stopni polegającą na wykorzystaniu stopni o nadmiarowej rozdzielczości 1,5 bita. Pomysł ten został zaprezentowany przez autora na konferencji MWSCAS [6] i rozwijany w kolejnych badaniach [7, 8]. Matryca FPAA może być wykorzystana do prototypowania takiego rodzaju przetwornika [9–11]. Na rysunku 2 przedstawiono schemat blokowy trzystopniowego potokowego przetwornika a/c ze stopniami 1,5 bita. Najstarszy bit wyjściowego sygnału cyfrowego  $a_3$  (MSB) jest obliczany w układzie korekcji cyfrowej, na podstawie dwubitowej wartości cyfrowej z drugiego stopnia oraz ewentualnego przeniesienia z pierwszego stopnia. Z kolei bit  $a_2$  jest obliczany na podstawie dwubitowej wartości cyfrowej z pierwszego stopnia oraz ewentualnego przeniesienia z zerowego (ostatniego) stopnia. Dla ostatniego stopnia nie jest stosowana korekcja cyfrowa i na jego wyjściu cyfrowym otrzymujemy dwa najmłodsze bity wyjściowego sygnału cyfrowego  $a_1 a_0$ . W pierwszych dwóch stopniach, otrzymujemy na wyjściu 1,5-bitowego ADC 3-wartościową postać cyfrową (00, 01, 10). Jest ona przetwarzana w układzie 1,5-bitowego DAC ponownie na wartość analogową i odejmowana od sygnału wejściowego stopnia. Tak otrzymana różnica sygnałów analogowych jest mnożona przez współczynnik dwa. Wynikowe napięcie resztkowe  $v_{Ri}$  jest podawane, jako napięcie wejściowe następnego stopnia. Budowa początkowych dwóch stopni jest jednakowa. Ostatni stopień zbudowany jest jako dwubitowy ADC, na którego wyjściu otrzymuje się dwa najmłodsze bity wyjściowego sygnału cyfrowego ( $a_1 a_0$ ).

Działanie pierwszego i drugiego stopnia, realizującego konwersję cyfrową dla pojedynczego bitu, przedstawiono na rysunku 3. Stopień zbudowany jest z dwóch komparatorów dla poziomów sygnału wejściowego równych odpowiednio:  $-V_{REF}/4$  oraz  $V_{REF}/4$ , dwóch źródeł napięcia referencyjnego, sumatora i wzmacniacza napięciowego o wzmacnieniu równym 2. Każdy komparator porównuje sygnał wejściowy z odpowiednim progami napięcia referencyjnego. Na wyjściach komparatorów otrzymujemy dwubitowy (ale trójwartościowy) sygnał cyfrowy. Ostatni stopień jest dwubitowym przetwornikiem ADC i wykorzystuje trzy komparatory.

Omówiona struktura potokowego przetwornika a/c została zaimplementowana w systemie testowym z wykorzystaniem reprogramowalnych układów analogowych. Na rysunku 4 jest przedstawiony przetwornik o rozdzielczości 4 bitów. Układ ten został zaprojektowany i zrealizowany z trzech połączonych układów AN221E04 [12–17]. Pomiar rzeczywistego przetwornika,

skonfigurowanego z elementarnych bloków analogowych matrycy FPAA, umożliwiającą wstępną weryfikację założeń projektowych, sprawdzenie poprawności koncepcji jego budowy oraz oszacowanie możliwych do uzyskania parametrów układu. Łatwość rekonfiguracji prototypowanej struktury oraz jej parametrów, pozwala na przebadanie wielu wariantów projektowanego układu. Dzięki temu można optymalnie przygotować projekt do kolejnych etapów realizacji, czyli implementacji w wybranej technologii CMOS, ekstrakcji opracowania i jego symulacji na poziomie tranzystorów, poprzedzającej wykonanie układu scalonego. Może to skutecznie uprościć i przyspieszyć projektowanie analogowych układów scalonych.

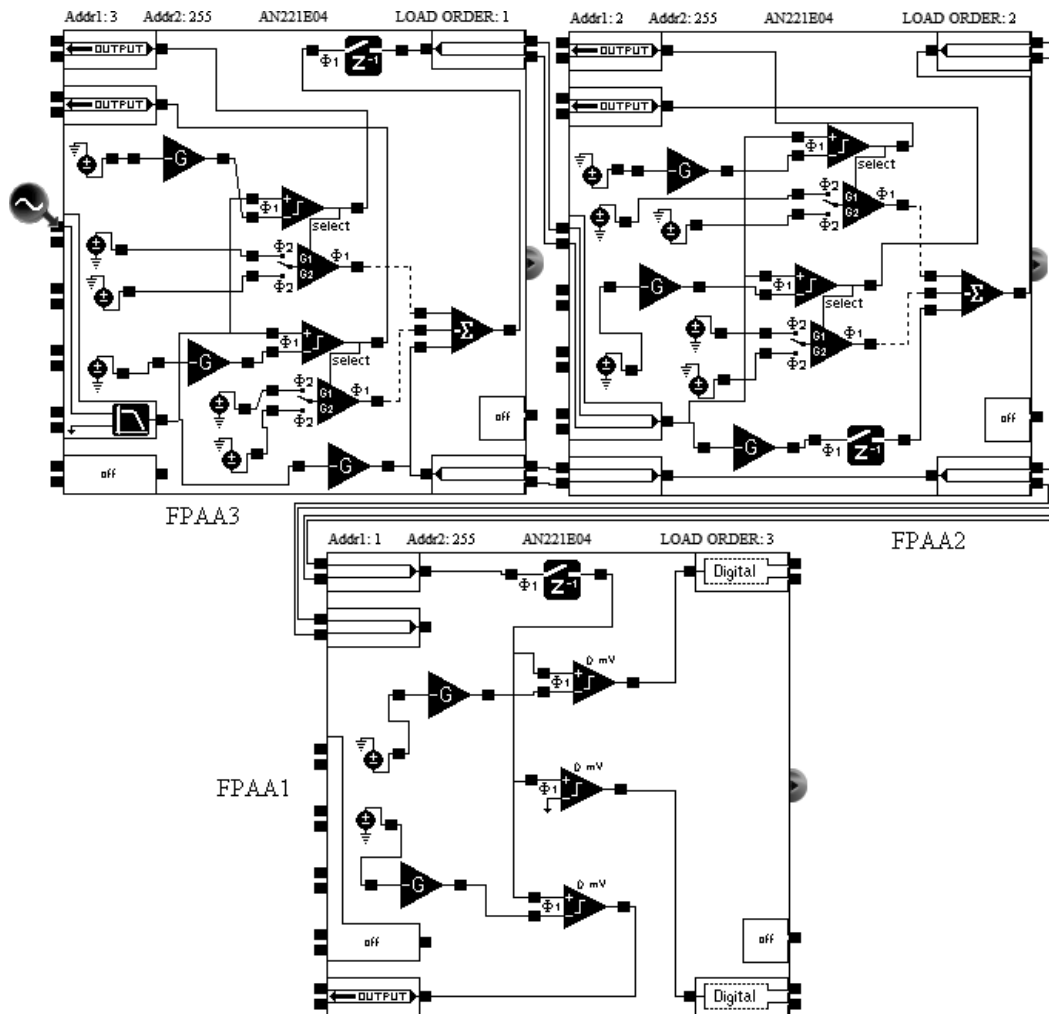


Rys. 3. Schemat pierwszego i drugiego stopnia przetwornika potokowego

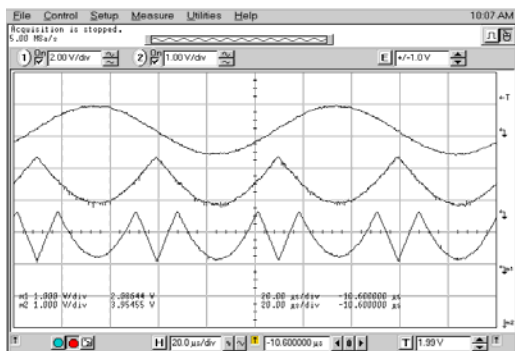
### Pomiary prototypu struktury potokowego przetwornika a/c

Opracowany wstępny projekt układu przetwornika a/c był kilkakrotnie modyfikowany. Kolejne wersje prototypu implementowano w układzie testowym z reprogramowalnymi matrycami FPAA. Następnie mierzono parametry i charakterystyki otrzymanego przetwornika a/c weryfikując jego właściwości. Eksperymentalnie przebadano przetwornik potokowy ze stopniami 1-bitowymi oraz ze stopniami 1,5-bitowymi i cyfrową korekcją wyniku.

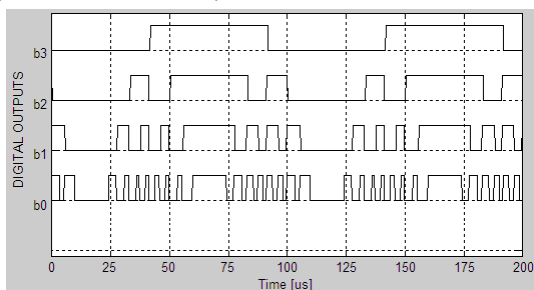
Na rysunkach 5–7 przedstawiono przykładowe przebiegi czasowe otrzymane podczas pomiarów zoptymalizowanego układu trzystopniowego przetwornika a/c ze stopniami 1,5 bita. Na rysunku 5 przedstawiono napięcie resztkowe na wyjściach pierwszych dwóch stopni, w odpowiedzi na wejściowy sygnał sinusoidalny, którego amplituda wynosi  $\pm V_{REF}$ , a częstotliwość 10 kHz.



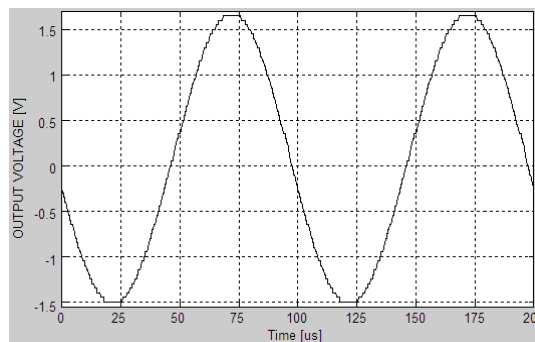
Rys. 4. Układowa realizacja potokowego przetwornika a/c ze stopniami 1,5 bita wykorzystująca połączenie 3 FPAA



Rys. 5. Napięcia resztkowe potokowego przetwornika a/c ze stopniami 1,5 bita; przedstawiono kolejno: sygnał wejściowy, napięcia resztkowe 2 i 1 stopnia



Rys. 6. Wyjścia cyfrowe potokowego przetwornika a/c ze stopniami 1,5 bita; przedstawiono kolejno: wyjście cyfrowe 2, 1 i 0 stopnia



Rys. 7. Przebieg analogowy odtworzony z cyfrowego sygnału wyjściowego dla potokowego przetwornika a/c ze stopniami 1,5 bita

Natomiast na rysunku 6, sygnały cyfrowe z wyjść poszczególnych stopni, reprezentujące wartości poszczególnych bitów wyjściowego sygnału cyfrowego przetwornika, a na rysunku 7 przebieg analogowy odtworzony z sygnału cyfrowego. Układ korekcji cyfrowej redukuje dwubitowe ale trójwartościowe sygnały cyfrowe  $b_{21}b_{20}$  oraz  $b_{11}b_{10}$  [6–8], odpowiednio pierwszego i drugiego stopnia, do pojedynczych bitów. Korekcja ta poprawia parametry przetwornika eliminując błędy wynikające z nierównoważenia komparatorów w układach ADC. Otrzymane po rekonstrukcji oscylogramy sygnału sinusoidalnego poddano analizie. Obliczając parametry przebiegu odtworzonego sygnału wejściowego uzyskano znaczną poprawę dokładności przetwarzania i mniejsze

zniekształcenia nieliniowe niż dla struktury potokowej bez nadmiarowych 1,5-bitowych stopni oraz korekcji cyfrowej.

## Wnioski

W artykule omówiono szybki i wiarygodny sposób weryfikacji projektowanej struktury potokowego przetwornika analogowo-cyfrowego, przed jego zaprojektowaniem w technologii CMOS i wykonaniem jako układu ASIC lub SoC. Metoda wykorzystuje reprogramowalne układy analogowe FPAA AN221E04 [18] do konfiguracji i kolejnych rekonfiguracji projektowanego układu mieszanego. Dzięki zastosowaniu układów reprogramowalnych wstępny projekt może być wielokrotnie modyfikowany (ulepszany) w celu uzyskania pożądaných parametrów i właściwości. Uzyskiwane rezultaty są wynikami pomiarowymi o dużej wiarygodności, a kolejne etapy projektu weryfikuje się w sposób efektywny pod względem nakładu pracy projektowej, kosztu i czasu realizacji projektu.

W pracy przedstawiono przykład realizacji prototypu potokowego przetwornika a/c. Dla omawianego rozwiązania zostały przedstawione pomierzone parametry i charakterystyki, które wskazują na możliwość wykorzystania tej metody w procesie weryfikacji i optymalizacji projektowanego układu. Przykład realizacji prototypu obrazuje duże możliwości zastosowania reprogramowalnych analogowych układów FPAA, w procesie projektowania, implementacji układowej i szybkiej weryfikacji układów mieszanych. Może to znaleźć zastosowanie dla szerokiej gamy układów analogowych przewidzianych do integracji w mieszanych układach scalonych VLSI lub SoC.

## LITERATURA

- [1] Maloberti F., Data converters, w: R.S. Soin, F. Maloberti, J. Franca: Analogue-digital ASICs circuit techniques, design tools and applications, Peter Peregrinus Ltd., Exeter, 1991
- [2] Wawryn K., Suszynski R., Współczesne Przetworniki a/c Wykonywane w Technologii CMOS, Referat zaproszony, *Materiały Kraj. Konf. Elektr.*, Kołobrzeg, 2002, 12
- [3] Figueiredo M., Goes J., Evans G., General Overview of Pipeline Analog-to-Digital Converters, Reference-Free CMOS Pipeline Analog-to-Digital Converters, *Analog Circuits and Signal Processing*, (2013), 5-45
- [4] Wawryn K., Suszynski R., Strzeszewski B., Signal processing building blocks for pipelined A/D converter, *Proceedings of the 11th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Tel Aviv, Israel, (2004), 258-261
- [5] Wawryn K., Suszynski R., Strzeszewski B., Low Power Current Mode Pipelined A/D Converter with 2.5-bit/stage and Digital Correction, *Proceedings of 12th International Symposium on Integrated Circuits (ISIC)*, Singapore, (2009), 1-4
- [6] Wawryn K., Suszynski R., A low power low voltage current-mode a/d and d/a converters for DSP system, *Proceedings of 54rd IEEE International Midwest Symposium on Circuit and Systems (MWSCAS)*, Seoul, South Korea, 2011
- [7] Wawryn K., Suszynski R., Strzeszewski B., A low power digitally error corrected 2.5 bit per stage pipelined a/d converter using current-mode signals, *Journal of Circuits, Systems and Computers*, Vol. 20, Issue 1, (2011), 29-43
- [8] Wawryn K., Suszynski R., Low power 9-bit pipelined A/D and 8-bit self-calibrated D/A converters for a DSP system, *Bulletin of the Polish Academy of Sciences-Technical Sciences*, Vol. 61, Issue 4, (2013), 979-988
- [9] Milor L.S., A tutorial Introduction to Research on Analog and Mixed-Signal Circuit Testing, *IEEE Transactions on Circuits and Systems: Analog and Digital Signal Processing*, 45(10), (1998), 1389-1407
- [10] Burns M. and Roberts G.W., An Introduction to Mixed-Signal IC Testing and Measurement, Oxford University Press, 2000
- [11] Sarahuja R., Barcons V., Balado L. and Figueras J., Experimental Test Bench for Mixed-Signal Circuits Based on FPAA Devices
- [12] Suszynski R., Wawryn K., FPAA Prototyping of Sigma Delta Analog Digital Converters, *Proceedings of 13th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Nice, France, (2006), 906-909
- [13] Suszynski R., Wawryn K., Rapid prototyping of algorithmic analog digital converters based on FPAA devices, *Proceedings of International Conference Mixed Design of Integrated Circuits and Systems, (MIXDES)*, Gdynia, Poland, (2006), 374-377
- [14] Suszynski R., Wawryn K., Prototyping of higher order Sigma Delta ADC based on implementation of a FPAA, *Proceedings of the International Conference on Signal and Electronics Systems (ICES)*, Wroclaw, Poland, (2012), 1-4
- [15] Suszynski R., Wawryn K., Rapid prototyping of algorithmic A/D converters based on FPAA devices, *Bulletin of the Polish Academy of Sciences-Technical Sciences*, Volume 61, Issue 3, (2013), 691-696
- [16] Caponetto R., Di Mauro A., Fortuna L. and Frasca M., Field Programmable Analog Array to Implement a Programmable Chua's Circuit, *International Journal of Bifurcation and Chaos*, Vol. 15, No. 5, (2005), 1829-1836
- [17] Yakimov P.I., Manolov E.D. and Hristov M.H., Design and Implementation of a V-f Converter Using FPAA, *IEEE 27th International Spring Seminar on Electronics Technology*, (2004), 126-129
- [18] AN121E04 Field Programmable Analog Arrays - User Manual, Analog, Inc, 2003

**Autor:** dr inż. Robert Suszynski, Politechnika Koszalińska, Wydział Elektroniki i Informatyki, ul. JJ Śniadeckich 2, 75-453 Koszalin, E-mail: [robert.suszynski@tu.koszalin.pl](mailto:robert.suszynski@tu.koszalin.pl).