

Cyfrowy sterownik CPLD falownika klasy DE

Streszczenie. W artykule opisano sterownik falownika klasy DE z układem CPLD, który realizuje synchronizację do częstotliwości rezonansowej. Metoda synchronizacji oparta jest na pomiarze czasu półokresu prądu wyjściowego i obliczeniu sterowania w kolejnym półokresie. Metoda zapewnia komutację suboptymalną w czasie synchronizacji i w stanie ustalonym. Zamieszczono oscylogramy podczas startu oraz normalnej pracy falownika 300 kHz/1500 W. Przedstawiono przykład wykorzystania sterownika do realizacji modulacji IPDM.

Abstract. Digital controller of class DE inverter with CPLD, which implements synchronization to resonant frequency is presented in the paper. Synchronization method is based on time measurement of half period of output current and calculation of control signal in the next half period. The method provides suboptimal commutations in synchronization time and steady state condition. The paper contains waveforms of start-up process and normal operation of the 300 kHz/1500 W inverter. Usage with IPDM modulator is presented (**Digital CPLD controller of class DE inverter**).

Słowa kluczowe: falownik klasy DE, sterownik, CPLD, IPDM

Keywords: Class DE inverter, controller, CPLD, IPDM.

Wprowadzenie

W ostatnich latach obserwuje się zwiększone zainteresowanie w pełni cyfrowymi układami sterowania przekształtników energoelektronicznych. Jest to szczególnie widoczne w przypadku zasilaczy impulsowych oraz falowników napięcia przeznaczonych do aplikacji napędowych. Dla tych zastosowań algorytm sterowania może być bardzo skomplikowany (np. logika rozmyta, sztuczne sieci neuronowe) i zaimplementowany jest zazwyczaj na mikrokontrolerze bądź bardziej rozbudowanym procesorze sygnałowym. Częstotliwość przełączania w tego typu urządzeniach zwykle nie przekracza 50 kHz.

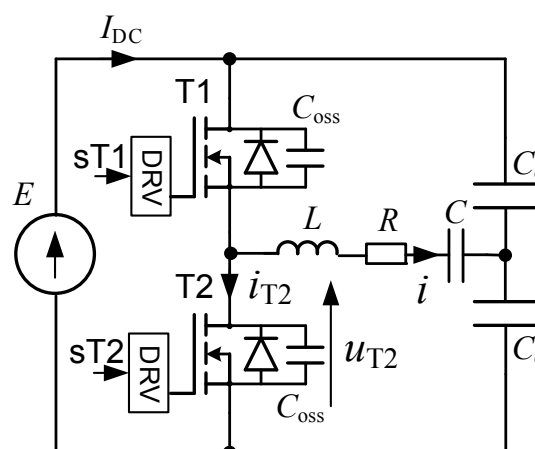
Istnieje również pewna grupa przekształtników, dla których większość sterowników cyfrowych opartych o procesory, posiada niewystarczającą moc obliczeniową aby regulować obiektem. Przykładem może być wysokoczęstotliwościowy rezonansowy falownik klasy DE. Dla takich obiektów regulacji można zastosować układy logiki programowalnej CPLD (ang. Complex Programmable Logic Device) bądź FPGA (ang. Field Programmable Gate Array). Dzięki swojemu równoległemu działaniu mogą w znacznie krótszym czasie realizować skomplikowane algorytmy.

Celem artykułu jest zaprezentowanie cyfrowego sterownika falownika klasy DE zbudowanego w oparciu o układ CPLD firmy Lattice. Sterownik ten realizuje szybką synchronizację falownika klasy DE do częstotliwości rezonansowej i warunków pracy suboptymalnej. Pokazano zastosowanie sterownika w falowniku 300 kHz/1500 W oraz dodatkowe możliwości – np. sterowanie mocy wyjściowej metodą IPDM (Integral Pulse Density Modulation).

Motywacją do powstania niniejszego artykułu było to, że autor nie znalazł w literaturze opisu metody synchronizacji falownika klasy DE do komutacji suboptymalnej z wykorzystaniem układu CPLD. Jednocześnie taka lub podobna metoda jest prawdopodobnie stosowana w zaawansowanych urządzeniach np. do nagrzewania indukcyjnego stanowiąc know-how producenta. Autor metodę taką opisał również w swojej pracy magisterskiej [1].

Obiekt sterowania

Obiektem sterowania jest falownik klasy DE [2], [3], [4] przeznaczony do nagrzewania indukcyjnego, w którym odbiornik niestacjonarny reprezentowany jest szeregowym obwodem RLC. Schemat falownika przedstawiony jest na rysunku 1. W skład falownika wchodzi trzynastry T1 i T2 z drajwerami DRV, pojemnościowy dzielnik C_d , źródło napięcia stałego E oraz obwód RLC.



Rys.1. Schemat falownika klasy DE, konfiguracja półmostka

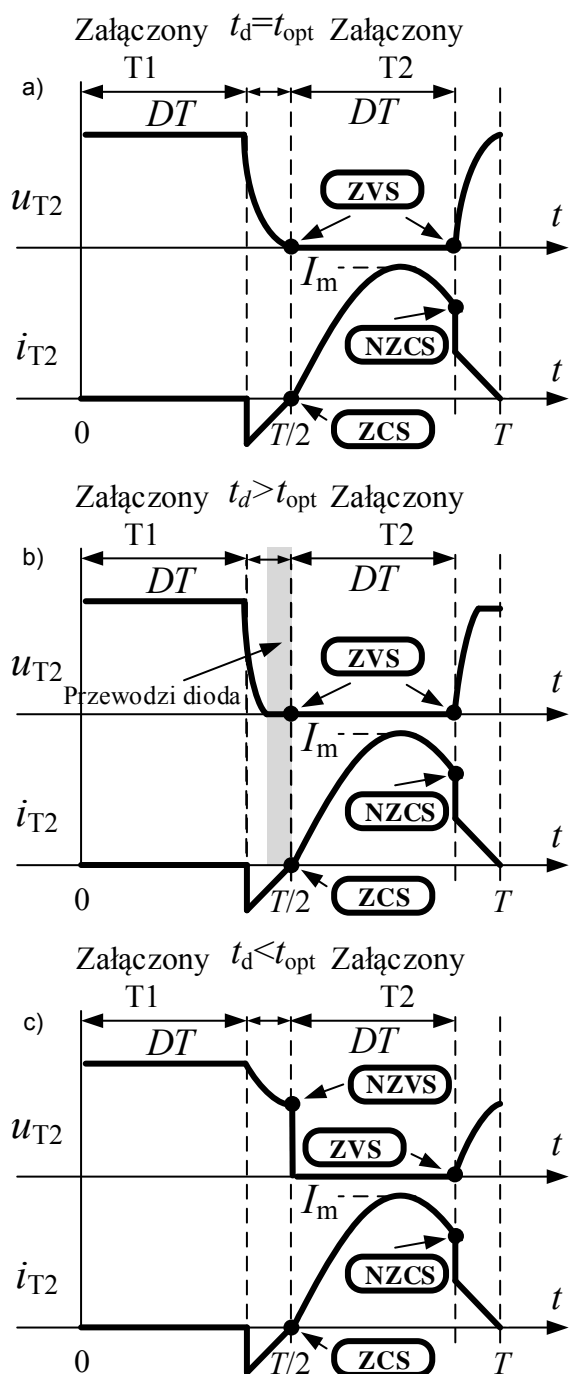
W pracy falownika można wyróżnić trzy charakterystyczne stany pracy związane z warunkami przełączania tranzystorów falownika: praca optymalna, suboptymalna i nieoptymalna.

Praca optymalna (rys.2a): Tranzystory przełączane są naprzemiennie z współczynnikiem wypełnienia załączenia $D < 0,5$ co w efekcie daje czas martwy $t_d = t_{opt}$ w sterowaniu tranzystorów. W pracy optymalnej tranzystor załączany jest przy zerowym napięciu i zerowym prądzie (ZVS+ZCS) a wyłączany przy zerowym napięciu i niezerowym prądzie (ZVS+NZCS). Częstotliwość przełączeń tranzystorów f jest wtedy nieco większa od częstotliwości rezonansowej obwodu RLC [3]. Zakładając, że prąd odbiornika i jest sinusoidalny o amplitudzie I_m a częstotliwość przełączeń jest taka, że falownik pracuje optymalnie, to czas martwy $t_d = t_{opt}$ wymagany do uzyskania pracy optymalnej jest określony zależnością (1), gdzie: $\omega = 2\pi/f$, $T = 1/f$.

$$(1) \quad t_{opt} = \frac{\arccos\left(1 - \frac{2C_{OSS}E\omega}{I_m}\right)}{\omega}$$

Praca suboptymalna (rys.2b): Podobnym stanem pracy falownika klasy DE jest praca suboptymalna (rys.2b), gdy czas martwy t_d jest większy niż t_{opt} . Zachowane jest przełączanie ZVS tranzystorów, ale po rozładowaniu pojemności C_{OSS} , prąd wyjściowy i komutuje na równoległe

diody. Jest to również korzystny stan pracy ale wiąże się z przewodzeniem diod i okresowym zwrotem energii do źródła zasilania E .



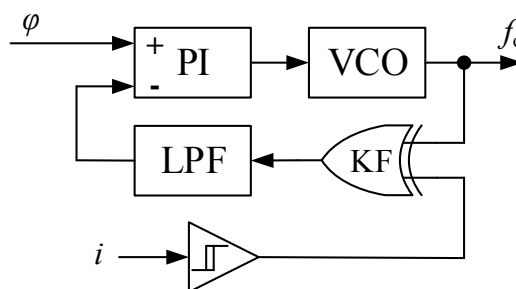
Rys.2. Przebiegi napięcia u_{T2} oraz prądu i_{T2} tranzystora, a) praca optymalna, b) praca suboptymalna, c) praca nieoptymalna

Praca nieoptymalna (rys.2c): Istnieje również trzeci stan pracy, który jest niekorzystny ze względu na zwiększone straty mocy związane ze zwieraniem naładowanej pojemności C_{OSS} . Gdy czas martwy t_d jest nieco mniejszy niż t_{opt} , jest to tzw. płytka praca nieoptymalna [3], [5] i przy załączaniu tranzystora występuje komutacja typu NZVS.

Skrajnym przypadkiem pracy nieoptymalnej jest stan, gdy nie jest zachowany warunek ZCS przy załączaniu tranzystora a częstotliwość przełączania f jest mniejsza od częstotliwości rezonansowej. Występuje wtedy niedopuszczalna komutacja twarda $D \rightarrow sT$ z diody na szeregowy tranzystor.

Synchronizacja za pomocą pętli fazowej PLL

Falowniki rezonansowe charakteryzują się tym, że pracują z częstotliwością równą częstotliwości drgań własnych obwodu RLC (falownik klasy D), bądź z częstotliwością nieco wyższą od rezonansowej, jak np. falownik klasy DE [3]. Powszechnie stosowaną metodą sterowania falownikami rezonansowymi jest użycie generatora sterowanego napięciem VCO (ang. Voltage Controlled Oscillator). Najczęściej pojawia się on w konfiguracji pętli synchronizacji fazowej, w skrócie PLL (ang. Phase Locked Loop). Jako sygnał sprzężenia zwrotnego może być użyty prąd wyjściowy i bądź napięcie na kondensatorze C . Przykładowy układ synchronizacji, umożliwiający zadawanie fazy φ między prądem i oraz napięciem u , przedstawiony jest na rysunku 3. Sygnał wyjściowy o częstotliwości f_o poddawany jest dalszej obróbce w celu utworzenia pary sygnałów sterujących $sT1$ i $sT2$ o wymaganym współczynniku wypełnienia D i czasie martwym t_d .



Rys.3. Układ pętli synchronizacji fazowej (PLL) z regulatorem fazy między prądem i oraz napięciem u odbiornika

Układ PLL spełnia swoją funkcję, lecz posiada pewne wady:

- długi czas synchronizacji spowodowany obecnością filtra dolnoprzepustowego LPF i/lub regulatora PI,
- problem stabilności pętli PLL, okresowa praca w pojemnościowym obszarze pracy (komutacje nieoptymalne),
- podatność na zakłócenia, w szczególności przy zastosowaniu komparatora fazy KF działającego na zbczce.

Synchronizacja cyfrowa w układzie CPLD

Analiza zasady działania falownika klasy DE (rys.2) umożliwiła zaproponowanie metody synchronizacji cyfrowej która pozbawiona jest wad pętli PLL. Można stwierdzić, że jeśli załączanie tranzystorów następuje w chwilach przejścia prądu i odbiornika przez zero, to w zależności od długości czasu martwego t_d uzyskuje się komutację: optymalną, suboptymalną lub płytką nieoptymalną (rys.2). Samoczynne dostrojenie do komutacji optymalnej przy zmiennych parametrach odbiornika było przedmiotem rozważań [6], [8] ale w praktyce, przy częstotliwości kilkuset kiloherców, jest praktycznie nierealizowalne ze względu na brak odpowiednich sprzężeń zwrotnych. Odpowiedni czas martwy $t_d = t_{opt}$ może być co najwyżej obliczony on-line na podstawie np. zależności (1).

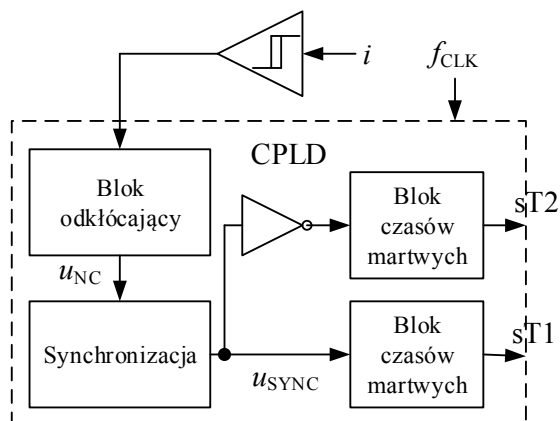
Z tego powodu, realizując cyfrową synchronizację, ustalono następujące reguły:

- 1) załączenie tranzystorów następuje w chwilach przejścia prądu i odbiornika przez zero,
 - 2) czas martwy t_d jest nieco większy od najdłuższego czasu komutacji optymalnej ($t_d > t_{opt}$).
- Reguła 2 zapewnia komutację optymalną lub suboptymalną (rys.2a,b) wykluczając w stanie ustalonym wystąpienie płytkiej komutacji nieoptymalnej (rys.2c).

Sterownik realizujący cyfrową synchronizację falownika klasy DE zaimplementowano w układzie CPLD a jego schemat blokowy zamieszczono na rysunku 4. Sprzężenie

od prądu wyjściowego falownika realizowane jest za pomocą przekładnika prądowego, który również zapewnia izolację galwaniczną. Szybki komparator generuje sygnał prostokątny zgodny z przejściami prądu wyjściowego i falownika przez zero – sygnał ten podawany jest do bloku odkłócającego. Dalsze przetwarzanie sygnałów odbywa się już w całości w układzie CPLD. Sterownik generuje dwa sygnały sT1, sT2 sterujące tranzystorami falownika.

Na wejściu układu CPLD znajduje się blok odkłócający z rejestrem przesuwającym. Takie odkłócenie jest istotne, ponieważ blok synchronizacji reaguje na zbocza sygnałów. Rejestr przesuwany bloku odkłócającego generuje niepożądane opóźnienie, które jest kompensowane w bloku synchronizacji.

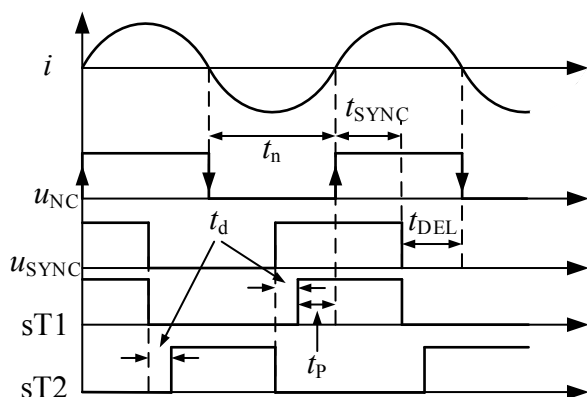


Rys.4. Schemat blokowy zaproponowanego sterownika

Działanie sterownika w stanie ustalonym zobrazowano przebiegami czasowymi z rysunku 5. W bloku synchronizacji mierzony jest czas t_n (pomiędzy zboczami sygnału u_{NC}) który odpowiada półokresowi prądu i odbiornika. Blok synchronizacji wypracowuje sygnał u_{SYNC} o wypełnieniu $D=0,5$, który wyprzedza sygnał u_{NC} o czas $t_{DEL}=t_d+t_p$ będący sumą czasu martwego t_d oraz czasu propagacji t_p pomiędzy układem sterowania i falownikiem. Wewnętrznym parametrem sterowania jest czas t_{SYNC} obliczany wg. zależności (2).

$$(2) \quad t_{SYNC} = t_n - t_d - t_p = t_n - t_{DEL}$$

Po zmierzeniu czasu t_n , w następnym cyklu pomiarowym, po upływie wcześniej obliczonego czasu t_{SYNC} , następuje zmiana stanu wyjścia na przeciwny. Dalej cykl się powtarza. Za blokiem synchronizacji, poprzez negację, zostaje utworzony komplementarny do u_{SYNC} sygnał sterujący a następnie w bloku generacji czasów martwych, uzyskuje się sygnały sT1 i sT2 sterujące tranzystorami.



Rys.5. Przebiegi czasowe obrazujące działanie sterownika CPLD

W przypadku poprawnego dobrania stałej t_{DEL} , załączanie tranzystorów następuje dokładnie w chwili przejścia prądu wyjściowego przez zero (komutacja typu ZCS). Zaproponowana metoda ma taką wadę, że czas t_{DEL} nie może być dłuższy od t_n .

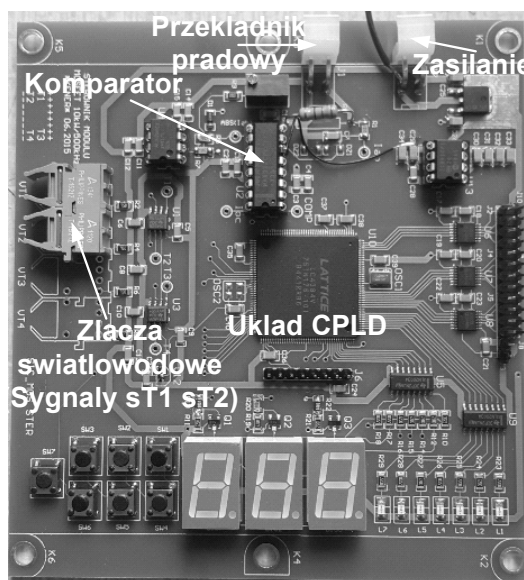
Układ synchronizacji posiada skończoną rozdzielczość fazową φ_T , która wyrażana jest zależnością (3).

$$(3) \quad \varphi_T = \frac{360^\circ \cdot f}{f_{CLK}}$$

gdzie f_{CLK} to częstotliwość taktowania układu CPLD

Implementacja sterownika w falowniku klasy DE 300 kHz/1500 W

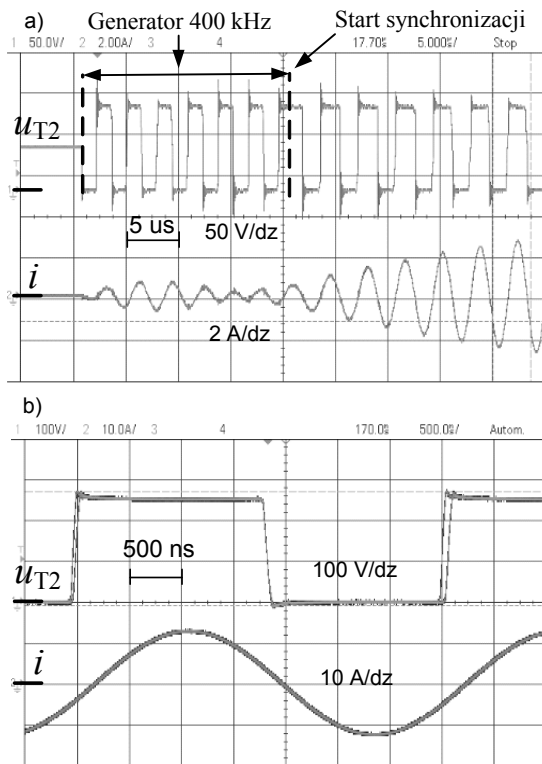
Na rysunku 6 zamieszczono zdjęcie sterownika cyfrowego z układem CPLD LC4384V-75TN176C, który taktowany jest generatorem o $f_{CLK}=40$ MHz. Sygnały sterujące sT1 i sT2 wyprowadzone są przy pomocy światłowodów. Sterownik wyposażono w klawiaturę i wyświetlacz, co pozwala na jego zastosowanie do realizacji różnych metod sterowania mocy wyjściowej falownika. Przykład implementacji sterowania IPDM opisano w końcowej części artykułu.



Rys.6. Zdjęcie sterownika cyfrowego z układem CPLD

Pomiary testowe wykonano wykorzystując falownik klasy DE 300 kHz/1500 W przeznaczony do nagrzewania indukcyjnego. Na rysunku 7a zamieszczono oscylogram napięcia tranzystora oraz prądu wyjściowego i falownika podczas jego załączenia i synchronizacji. Aby uniknąć komutacji nieoptymalnej $D \rightarrow sT$ z diody na szeregowy tranzystor, sterownik rozpoczyna pracę ze stałą częstotliwością 400 kHz, która jest wyższa od częstotliwości rezonansowej. Po około 20 μs sterowanie przejmuje blok synchronizacji a dostrojenie do częstotliwości rezonansowej (ok. 280 kHz) następuje po ok. 1,5 kolejnych okresach prądu wyjściowego. Dostrojenie odbywa się przy komutacjach suboptymalnych.

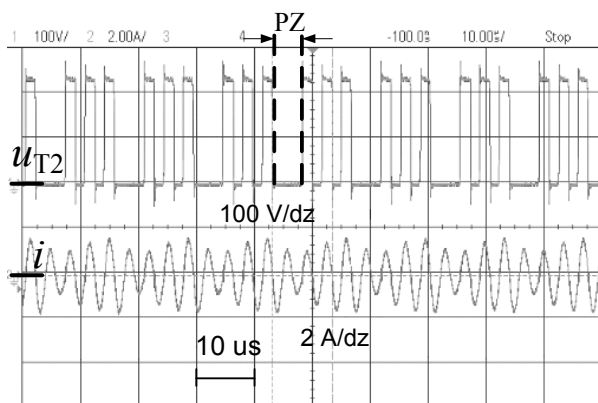
Na rysunku 7b zamieszczono podobny oscylogram, ale już w stanie ustalonym, przy poprawnie dobranej wartości parametru t_{DEL} – falownik pracuje optymalnie. Zwiększenie zbocze napięcia tranzystora świadczy o cyfrowym sposobie sterowania, ponieważ częstotliwość przyjmuje dyskretne wartości.



Rys.7. Przebiegi napięcia u_{T2} tranzystora oraz prądu wyjściowego i falownika: a) start i synchronizacja, b) ustalona praca optymalna

Przykład zastosowania w modulatorze IPDM

Poprawna synchronizacja do częstotliwości rezonansowej daje możliwość zastosowania przedmiotowego sterownika do realizacji innych znanych metod sterowania. Poniżej zamieszczano przykład realizacji sterowania mocą wyjściową metodą IPDM (Modulacja Gęstości Impulsów Zintegrowanych) której algorytm zaimplementowano w omawianym sterowniku CPLD (rys.6). Dysponując wewnętrznym, zsynchronizowanym sygnałem u_{SYNC} (rys.5), po jego odpowiedniej obróbce cyfrowej, można wygenerować pożądany sygnał modulacji IPDM. Szczegóły modulacji IPDM nie są tematem artykułu a jej szerszy opis zamieszczono w [7], [9]. Na rysunku 8 zamieszczono oscylogram napięcia tranzystora oraz prądu wyjściowego i falownika przy modulacji IPDM dla przypadku, gdy tzw. Puls Zintegrowany PZ (rys.8) ma długość 3 półokresów prądu wyjściowego. W czasie trwania pulsu PZ widoczne jest wytłumienie prądu odbiornika i w konsekwencji obniżenie mocy wyjściowej.



Rys.8. Modulacja IPDM. Przebiegi napięcia u_{T2} tranzystora oraz prądu wyjściowego i , długość pulsu PZ wynosi $1,5T$, $f \approx 280$ kHz

Podsumowanie

Opisany sterownik falownika klasy DE charakteryzuje się krótkim czasem synchronizacji, który wynosi ok. 1,5 okresów ($1,5T$) drgań własnych obwodu RLC odbiornika, przy pominięciu czasu rozruch przy stałej częstotliwości.

Rozruch i synchronizacja od częstotliwości startowej większej niż częstotliwość rezonansowa odbywa się przy komutacjach suboptymalnych. Przeprowadzono próby synchronizacji od częstotliwości mniejszej niż częstotliwość rezonansowa – czas synchronizacji jest podobny, ok. $1,5T$, ale występują komutacje nieoptymalne $D \rightarrow ST$.

Potwierdzono możliwość zastosowania sterownika cyfrowego do realizacji modulacji IPDM. Możliwe będzie również zastosowanie sterownika do innej modulacji np. zsynchronizowanej modulacji PWM-FM.

Maksymalna częstotliwość pracy oraz rozdzielczość fazowa ograniczone są częstotliwością taktowania układu CPLD. Przy częstotliwości taktowania $f_{CLK} = 40$ MHz i częstotliwości rezonansowej $f = 300$ kHz, rozdzielczość fazowa $\phi_r = 2,7^\circ$.

Przeprowadzone pomiary dają przyczynek do analizy teoretycznej procesu synchronizacji w oparciu o równania modelu falownika. Pozwoliłoby to na optymalizację synchronizacji ze względu na najkrótszy czas trwania i występujące komutacje.

Autorzy: mgr inż. Krzysztof Przybyła, Politechnika Śląska, Katedra Energoelektroniki, Napędu Elektrycznego i Robotyki, ul. Bolesława Krzywoustego 2, 44-100 Gliwice, E-mail: krzysztof.przybyla@polsl.pl

LITERATURA

- [1] Przybyła K., Sterowanie r-IPDM falownika klasy D 300 kHz – realizacja praktyczna, praca magisterska, Gliwice 2015
- [2] Koizumi H., Iwadare M., Mori S., Ikeda K.: A Class D Type High Frequency Tuned Power Amplifier with Class E Switching Conditions, Int. Symp. on Circuits and Systems, London, June 1994, Vol. 5, p. 105-108.
- [3] Kasprzak M., Falowniki rezonansowe klasy D i DE o częstotliwościach pracy do 13,56 MHz, monografia habilitacyjna, Wydawnictwo Politechniki Śląskiej, ISBN 978-83-7880-037-8, Gliwice 2013
- [4] Kasprzak M., Falownik klasy D-ZVS 300 kHz / 1,5 kW do nagrzewania indukcyjnego – możliwości pracy w klasie D i DE, Przegląd Elektrotechniczny, ISSN 0033-2097, R. 89 NR 4/2013, s. 29-32.
- [5] Kaczmarczyk Z.: Poprawa właściwości energetycznych falowników klasy E przez maksymalizację wykorzystania tranzystora, Politechnika Śląska, Zeszyty Naukowe Nr 1749, Gliwice 2007.
- [6] Matysik J., Szymanski B., Charge Controlled Class DE Series Resonant Converter - New Concept, EUROCON 2007, Intern. Conf. on "Computer as a Tool", Warsaw, 2007, 1355-1359
- [7] Matysik J.: Metody sterowania integracyjnego tranzystorowych falowników napięcia klasy D z szeregowym obwodem rezonansowym, Prace Naukowe Politechniki Warszawskiej, z. 114, Elektryka, 2001.
- [8] Grzesik B., Kaczmarczyk Z., Kasprzak M.: 1 MHz Sinusoidal Gate Driver for Class DE Inverter Operating with Variable Load and Frequency, 31st IEEE Power Electronics Specialists Conference, PESC'00, Galway (Ireland), p. 817-822.
- [9] Grzesik B., Kaczmarczyk Z., Kasprzak M.: Integral Pulse Modulation - New Strategy for Series Resonant Half Bridge Inverter of Class D and DE, International Conference on Electrical Drives and Power Electronics EDPE'99, 5-7 October 1999, the High Tatras, Slovakia, p. 100-104.