

Problematyka komutacji nieoptymalnych w pojedynczym szeregowym dwuczęstotliwościowym jednoczesnym falowniku do nagrzewania indukcyjnego

Streszczenie. W artykule przedstawiono falownik napięciowy o strukturze półmostka wraz z szeregowym obwodem rezonansowym, jako układ testowy do pracy podczas komutacji twardych. Dokonano pomiarów dla trzech typów tranzystorów MOSFET o zbliżonych parametrach prądowo-napięciowych. Wykazano możliwość pracy z dużą sprawnością falownika opartego o tranzystory SiC MOSFET przy komutacjach twardych D→sT.

Abstract. The paper presents half bridge, voltage source inverter with series RLC, as a hard switching test circuit. Three types of similar (voltage-current class) MOSFET transistors were implemented and measured. The conducted research proved the possibility of highly efficient operation of hard switching D→sT inverter based on SiC MOSFET (**Single series simultaneous dual frequency inverter for induction heating, hard switching operation issue**).

Słowa kluczowe: nagrzewanie indukcyjne, rezonans, jednoczesny falownik dwuczęstotliwościowy, SiC MOSFET, komutacja twarda.

Keywords: induction heating, resonance, simultaneous dual-frequency inverter, SiC MOSFET, hard switching.

Wstęp

Artykuł jest kontynuacją tematyki związanej z występowaniem komutacji twardej D→sT przy pracy falownika dwuczęstotliwościowego do nagrzewania indukcyjnego. Falownik taki ma typową strukturę pełnego mostka a sterowanie składowych prądu (MF i HF) odbywa się metodą modulacji naturalnej PWM z częstotliwością nośną (200-400) kHz [1], [2], [3]. W ramach niniejszego opracowania wykonano układ testowy (rys.1) do badania gałęzi falownika przy komutacji twardej D→sT. Taki stan pracy osiągnięto sterując tranzystorami z częstotliwością mniejszą niż częstotliwość rezonansowa obwodu obciążenia (rys.2) [4]. Przedstawiona analiza ma na celu ocenę pracy tranzystorów pod kątem: maksymalnego prądu wstecznego I_{RRM} diody – zapewnienie bezpiecznego poziomu nie powodującego uszkodzenia tranzystora (przekroczenia SOA), oraz określenie mocy strat i sprawności przy pracy z występowaniem komutacji twardej D→sT.

W ramach badań skonstruowano sterowniki bramkowe (drajwery SiC) o niesymetrycznym napięciu sterowania +22 V/-6 V wraz z przetwornicami napięcia, przystosowane do sterowania tranzystorów mocy SiC MOSFET. Następnie wykonano drukowany obwód mocy falownika wraz z blokiem wodnym pełniącym rolę radiatora dla tranzystorów mocy. Ostatnim etapem prac była konstrukcja transformatora dopasowującego wraz z silnopiędowym szeregowym obwodem rezonansowym RLC.

Przeprowadzono serię pomiarów dla reprezentatywnej grupy trzech tranzystorów o zbliżonych parametrach prądowo-napięciowych osadzonych w obudowach TO-247. Tabela 1 przedstawia zestawienie wybranych parametrów dla wytypowanych tranzystorów.

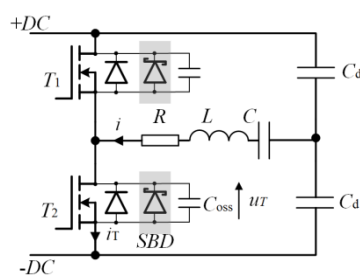
Tabela 1. Zestawienie stosowanych tranzystorów mocy [5]

Symbol	I_D , A	U_{DS} , V	$R_{DS(on)}$, mΩ	t_{rr} , ns	I_{RRM} , A	Warunki pomiaru
STM STW65N80K5 (Si)	46	800	80	650	60	IF=46 A, VDD=60 V, di/dt=100 A/μs
STM SCT30N120 (SiC)	45	1200	90	140	2	IF= 20 A, VDD=800 V, di/dt=100 A/μs
ROHM SCH2080KE (SiC+SBD)	40	1200	80	37	2,4	IF= 10 A, VDD=400 V, di/dt=150 A/μs

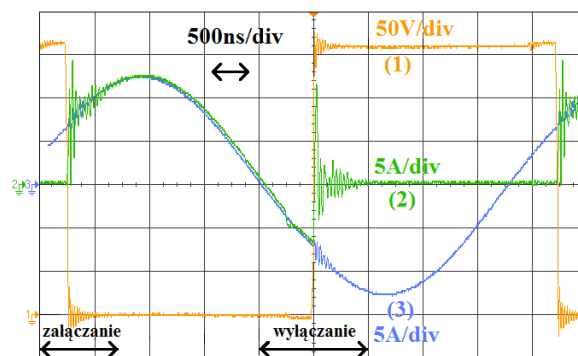
Rysunek 1 przedstawia uproszczony schemat zastępczy badanego falownika. Kolorem szarym zaznaczono diody

Shottky'ego (SBD – Shottky Body Diode), zintegrowane w jednej obudowie z tranzystorem SCH2080KE. W pozostałych tranzystorach dioda SBD nie występowała.

Szczególną uwagę przy projektowaniu falownika skupiono na minimalizacji pasożytniczych indukcyjności występujących między szyną DC a tranzystorem. Ze względu na niewielkie wartości rezystancji przewodzenia tranzystora mocy i dużą dynamikę załączania, pojemność wyjściowa wyłączanego tranzystora stanowi słabo tłumiony obwód rezonansowy z indukcyjnością pasożytniczą w chwili załączania drugiego tranzystora półmostka. Minimalizację indukcyjności uzyskano poprzez osadzenie w najmniejszej możliwej odległości, zestopniowanej pod względem pojemności, baterii kondensatorów polipropylenowych o niskim ESR i ESL. Ponadto ścieżki prądowe szyny DC poprowadzono na przeciwległych stronach laminatu w celu zredukowania pasożytniczych indukcyjności doprowadzeń.



Rys.1. Uproszczony schemat zastępczy badanego falownika



Rys.2. Przebiegi u_T (1), i_T (2) oraz i (3) całego okresu pracy, tranzystor SiC MOSFET SCT30N120 dla rezystancji bramkowej $R_g=10 \Omega$, $P_{DC}=1048 \text{ W}$

Parametry falownika

Poniżej przedstawiono dane falownika z rysunku 1. Falownik był zasilany regulowanym, stabilizowanym zasilaczem napięcia DC o zakresie 0-315 V i ograniczeniu prądowym 0-5 A.

Dane falownika:

Częstotliwość rezonansowa:	$f = 230 \text{ kHz}$
Częstotliwość pracy:	$f_s = 223 \text{ kHz}$
Pojemność dzielnika napięcia:	$C_d = 6,8 \mu\text{F}$
Parametry zastępcze obwodu dopasowania zmierzone zostały precyzyjnym analizatorem impedancji Agilent 4294A:	
Zastępcza rezystancja:	$R = 8,8 \Omega$
Zastępcza pojemność:	$C = 5,3 \text{ nF}$
Zastępcza indukcyjność:	$L = 89,5 \mu\text{H}$

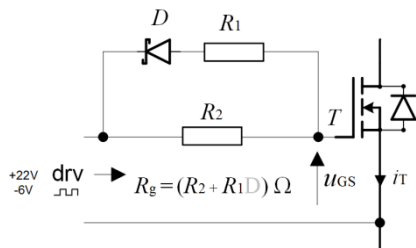
Pomiar prądu tranzystora oraz prądu wyjściowego

Dokonano pomiaru napięcia dolnego tranzystora gałęzi półmostka u_T , prądu tego tranzystora i_T oraz prądu wyjściowego falownika i (rys.1). Początkowo podjęto próby pomiaru prądu tranzystora wykorzystując szeregowy rezystor pomiarowy włączony od strony źródła tranzystora T_2 . Rezystancję złożono z pięciu rezystorów w obudowach SMD 2512 o wartości 100 mΩ połączonych ze sobą równolegle ($R_{pom} = 20 \text{ m}\Omega$). Tak wykonany pomiar nie oddawał prawidłowego kształtu i wartości prądu tranzystora. Pomiar analizatorem impedancji pozwolił określić pasożytniczą indukcyjność rezystora pomiarowego R_{pom} , która wynosiła 2 nH. Przykładowo, gdy stromość narastania mierzonego prądu $di/dt = 600 \text{ A}/\mu\text{s}$ to napięcie występujące na indukcyjności pasożytniczej 2 nH wynosiło 1,2 V. Jest to wartość czterokrotnie wyższa od prawidłowego napięcia (ok. 0,4 V) wynikającego z iloczynu R_{pom} i rzeczywistej wartości prądu tranzystora. Zrezygnowano z takiej metody pomiaru prądu tranzystora i ostatecznie wykorzystano cewkę Rogowskiego PEM CWT-1. Pomiar prądu wyjściowego falownika realizowano za pomocą przekładnika prądowego z rdzeniem ferrytowym (3E25).

Pomiary oscyloskopowe pracy falownika przy komutacji twardej D→sT

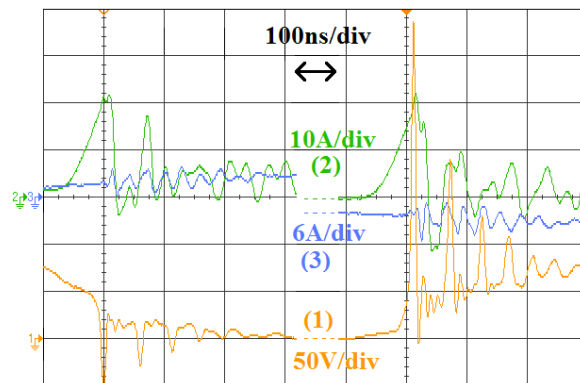
Przeprowadzono pomiary dla trzech typów tranzystorów Si MOSFET, SiC MOSFET oraz SiC MOSFET SBD (tab.1). Obwód dopasowania oraz całe stanowisko nie było modyfikowane a zamieniano jedynie tranzystory mocy falownika oraz modyfikowano parametry obwodu bramkowego.

Pierwsza seria pomiarów przeprowadzona została dla tranzystora Si MOSFET STW65N80K5. Ze względu na najgorsze parametry dynamiczne strukturalnej diody tranzystora zmodyfikowano obwód bramkowy w celu zmniejszenia dynamiki załączania tranzystora. Tym samym ograniczono stromość narastania napięcia du/dt na diodzie zwrotnej w czasie odzyskiwania właściwości zaworowych a w konsekwencji ograniczono prąd wsteczny diody I_{RRM} . Spowolnienie załączania tranzystora zrealizowano poprzez ładowanie pojemności bramki C_{GS} przez rezystor $R_2 = 120 \Omega$ natomiast rozładowywanie przez rezystor $R_1 = 10 \Omega$ (120-10D) zgodnie z rysunkiem 3.



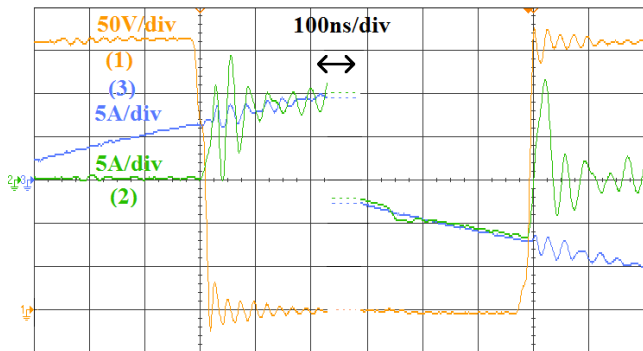
Rys.3. Schemat połączeń obwodu bramkowego tranzystora

Rysunek 4 przedstawia przebiegi procesu załączania oraz wyłączenia tranzystora Si MOSFET o oznaczeniu STW65N80K5. Pomimo zastosowania zmodyfikowanego obwodu bramkowego spowalniającego załączanie (rys. 3), można zaobserwować maksymalną wartość prądu wstecznego diody sięgającą ponad $I_{TMAX} = 20 \text{ A}$ (I_{RRM}), oraz wartość maksymalną napięcia tranzystora $U_{TMAX} = 330 \text{ V}$, przy czym napięcie szyny DC wynosiło zaledwie $U_{DC} = 80 \text{ V}$. W procesie wyłączenia tranzystora - gdy prąd narośnie do wartości maksymalnej i zaczyna opadać, można zaobserwować ponowne odwrócenie trendu. Obserwowany w tym przedziale spadek napięcia tranzystora może mieć związek z niesymetrycznym napięciem sterowania tranzystora (relatywnie niewielka wartość napięcia ujemnego -6 V). Przeplływ prądu wstecznego o znacznej stromości powoduje spadek napięcia na wspólnej indukcyjności źródła i bramki tranzystora - w konsekwencji napięcie $V_{GS} > V_{GS(th)}$ załącza tranzystor, powodując krótkotrwałe zwarcie skrośne [6]. Zaistniałe zjawisko wymaga dokładnego zbadania, niemniej jednak sama wartość maksymalna osiągnięta przez prąd wsteczny oraz towarzyszący temu wzrost napięcia na tranzystorze dyskwalifikują zastosowanie tranzystora Si MOSFET w przedstawionej konfiguracji w omawianym falowniku dwuczęstotliwościowym.

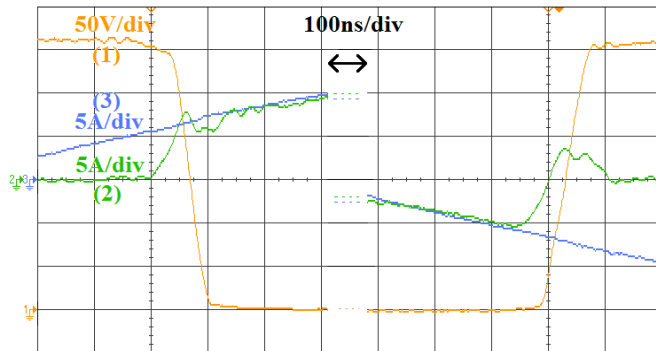


Rys.4 . Przebiegi u_T (1), i_T (2) oraz i (3) załączania oraz wyłączenia tranzystora Si MOSFET STW65N80K5

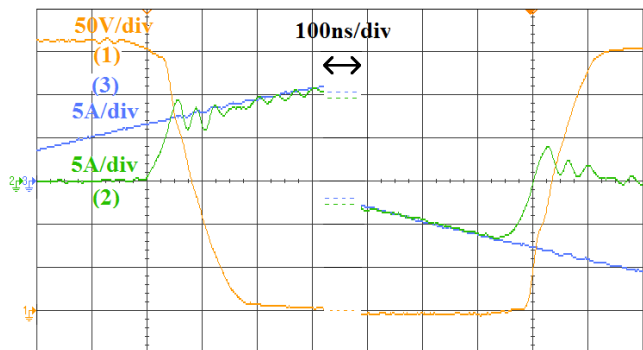
Druga seria pomiarów przeprowadzona została dla tranzystora SiC MOSFET SCT30N120. W pierwszym przypadku zastosowano jeden rezystor bramkowy o wartości $R_g = 10 \Omega$. Zarejestrowano przebiegi elektryczne prezentujące analogiczne wielkości mierzone jak w poprzedniej serii pomiarowej dla procesu załączania oraz wyłączenia (rys.5). Wartość maksymalna prądu wstecznego $I_{TMAX} = 12 \text{ A}$, przy mocy po stronie szyny DC równej $P_{DC} = 1048 \text{ W}$. Istotnym parametrem zmierzonym jest czas $t_{tr} = 40 \text{ ns}$. Według danych katalogowych, zestawionych w tabeli 1, deklarowany przez producenta czas t_{tr} jest trzykrotnie dłuższy niż czas zmierzony, co może być związane z innymi warunkami pomiarowymi i rozrzutem parametrów tranzystora. W procesie wyłączenia, w prądzie tranzystora (rys.5), zaobserwować można charakterystyczny fragment w którym następuje komutacja prądu przewodzonego wstecznie przez kanał tranzystora na równoległą diodę zwrotną (koniec sygnału sterującego tranzystorem, początek czasu martwego). Rysunek 6 przedstawia również proces załączania i wyłączenia tranzystora, ale dla przypadku zmodyfikowanego obwodu bramkowego (spowolnienie załączania) tranzystora SCT30N120. W porównaniu do przypadku z rysunku 5 ($R_g = 10 \Omega$), obserwowany jest spadek wartości maksymalnej prądu tranzystora oraz zredukowanie występujących oscylacji podczas procesów załączania i wyłączenia.



Rys.5. Przebiegi u_T (1), i_T (2) oraz i (3) podczas procesu załączania oraz wyłączenia tranzystora SiC MOSFET SCT30N120 dla rezystancji bramkowej $R_g=10 \Omega$, $P_{DC}=1048 \text{ W}$

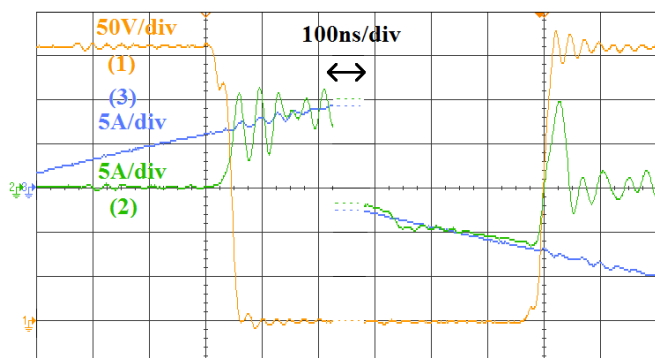


Rys.8. Przebiegi u_T (1), i_T (2) oraz i (3) podczas procesu załączania oraz wyłączenia tranzystora SiC MOSFET SBD SCH2080KE dla rezystancji bramkowej $R_g=(66-10D) \Omega$, $P_{DC}=1096 \text{ W}$



Rys.6. Przebiegi u_T (1), i_T (2) oraz i (3) podczas procesu załączania oraz wyłączenia tranzystora SiC MOSFET SCT30N120 dla rezystancji bramkowej $R_g=(66-10D) \Omega$, $P_{DC}=1087 \text{ W}$

Trzecim badanym tranzystorem mocy był tranzystor SiC MOSFET SBD SCH2080KE. Uzyskane wyniki pomiarów oscyloskopowych (rys.7) wykazują dobrą zgodność z parametrami katalogowymi. Warunki dla jakich producent podaje deklarowany czas t_{tr} oraz I_{RRM} zestawione w tabeli 1 wyznaczano dla mniejszej stromości zbocza prądu. Wraz ze wzrostem di/dt maksymalna wartość szczytowa prądu wstecznego diody I_{RRM} rośnie a czas t_{tr} ulega w zasadzie skróceniu. Ze względu na powyższe zmierzone parametry wynosiły odpowiednio: czas $t_{tr}=50 \text{ ns}$, oraz $I_{TMAX}=10 \text{ A}$, przy mocy po stronie szyny DC równej $P_{DC}=1052 \text{ W}$. Jak w poprzedniej serii pomiarowej, rysunek 8 przedstawia również proces załączania oraz wyłączenia tranzystora, dla przypadku zmodyfikowanego obwodu bramkowego (spowolnienie załączania) tranzystora SCH2080KE.



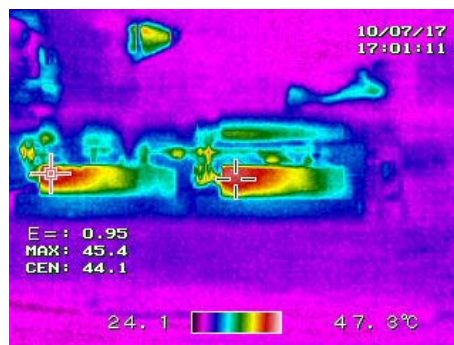
Rys.7. Przebiegi u_T (1), i_T (2) oraz i (3) podczas procesu załączania oraz wyłączenia tranzystora SiC MOSFET SBD SCH2080KE dla rezystancji bramkowej $R_g=10 \Omega$, $P_{DC}=1052 \text{ W}$

Przeprowadzono analogiczne pomiary, oscyloskopowe oraz termowizyjne, dla obu tranzystorów SiC MOSFET oraz SiC MOSFET SBD dla różnych wariantów rezystancji załączania R_2 przy stałej wartości rezystancji wyłączenia

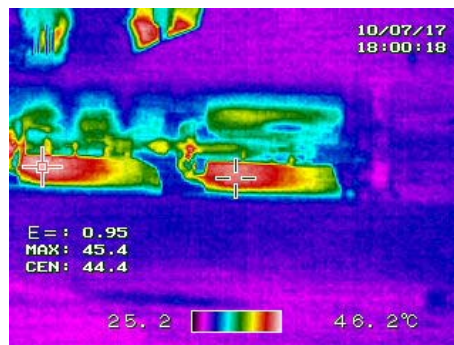
$R_1=10 \Omega$ (rys.3). Wraz ze wzrostem czasu załączania tranzystorów malała wartość maksymalna prądu wstecznego I_{RRM} . Jednocześnie obserwowano zmniejszanie dynamiki wyłączenia i dłuższe okresy czasu przewodzenia prądu tranzystora przy znacznej wartości napięcia tranzystora, co powodowało generowanie dodatkowej mocy strat i dodatkowy wzrost mierzonej temperatury tranzystorów.

Pomiar mocy strat tranzystorów

W celu wyznaczenia mocy strat w tranzystorach, a następnie obliczenia sprawności falownika, zastosowano metodę skalowania temperaturowego obudów tranzystorów [7]. Punkt wyjścia stanowiły zmierzone kamerą termowizyjną wartości temperatury obudowy tranzystora MOSFET dla poszczególnych przypadków komutacji twardych D→sT. Przykładowe wyniki takich pomiarów temperatury pokazano na rysunkach 9 i 10.



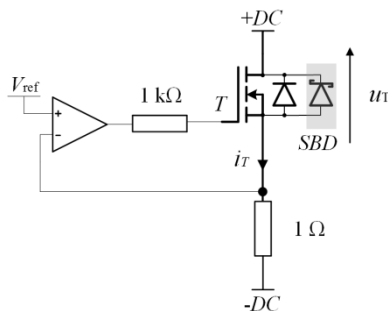
Rys.9. Pomiar temperatury tranzystorów SiC MOSFET SCT30N120, dla rezystancji bramkowej $R_g=10 \Omega$, $P_{DC}=1048 \text{ W}$



Rys.10. Pomiar temperatury tranzystorów SiC MOSFET SBD SCH2080KE, dla rezystancji bramkowej $R_g=10 \Omega$, $P_{DC}=1052 \text{ W}$

Po zakończeniu wszystkich pomiarów dla danego typu tranzystora, demontowano blok wodny wraz z tranzystorami a następnie skonfigurowano układ pomiarowy przedstawiony

na rysunku 11. Przeznaczeniem układu jest ustalenie pracy tranzystora w zakresie liniowym i określenie jego mocy strat na podstawie pomiaru napięcia i prądu zasilania DC.



Rys.11. Schemat układu pomiarowego mocy strat przy pracy w zakresie liniowym badanego tranzystora

Zmieniając napięcie zasilania DC przy jednoczesnym pomiarze temperatury obudowy T_C tranzystora w stanie ustalonym, uzyskano charakterystykę $T_C=f(P_T)$ w funkcji mocy strat P_T w tranzystorze. Jest oczywiste, że pomiaru temperatury dokonywano dla tego samego punktu obudowy tranzystora, tak jak w przypadku pomiaru dokonywanego podczas pracy falownika. Ponadto, blok wodny na którym osadzone były tranzystory MOSFET, był chłodzony wodą pochodzącą z osobnej chłodnicy zapewniającej stabilny przepływ 2 l/min i temperaturę wody 27-28 °C (ciągły pomiar przy pomocy termopary typu K).

Zestawienie wyników pomiarowych

Na podstawie pomiarów temperatury obudowy T_C tranzystora i wyników skalowania temperaturowego, wyznaczono sprawność układu dla poszczególnych tranzystorów i konfiguracji obwodu bramkowego. Do bilansu mocy wykorzystano moc P_{DC} mierzona na szynie DC. Sprawność tzw. drenową wyznaczono na podstawie (1).

$$(1) \quad \eta = \frac{P_{DC} - \Delta P_T}{P_{DC}}$$

gdzie: η – sprawność drenowa, P_{DC} – moc mierzona na szynie DC, ΔP_T – moc strat tranzystorów.

Tabela 2. Zestawienie wyników pomiarowych

lp.	ΔP_T , W	P_{DC} , W	η	R_g , Ω
STM SiC MOSFET SCT30N120				
1	88	1087	0,92	66-10D
2	65	1070	0,94	33-10D
3	52	1057	0,95	20-10D
4	42	1048	0,96	10
ROHM SiC MOSFET SBD SCH2080KE				
1	102	1096	0,91	66-10D
2	70	1080	0,93	33-10D
3	60	1071	0,94	20-10D
4	54	1052	0,95	10

Zamieszczony w tabeli 2 opis rezystancji R_g oznacza odpowiednio: pierwsza wartość to rezystancja ładowania, druga wartość z dopisaną literą D oznacza wartość rezystancji rozładowywania pojemności C_{GS} tranzystora.

Podsumowanie

W artykule opisano testowy falownik półmostkowy z szeregowym układem dopasowania, który pracował przy częstotliwości niższej od częstotliwości rezonansowej obciążenia, wynikiem czego było występowanie komutacji twardej D→sT. Jednym z celów było znalezienie rozwiązania optymalnego (tranzystor i obwód bramkowy) ze względu na najwyższą sprawność falownika przy komutacji D→sT.

Dokonano pomiarów oscyloskopowych, temperatury i mocy strat dla reprezentatywnej grupy trzech tranzystorów oraz różnych wariantów obwodu bramkowego. Pomiar pozwolił wykluczyć tranzystor Si MOSFET do aplikacji w falowniku dwuczęstotliwościowym dla prezentowanej konfiguracji. Możliwe wykorzystanie tranzystorów Si MOSFET z eliminacją wewnętrznej diody strukturalnej, przez zablokowanie jej diodą szeregową oraz zastąpienie antyrównoległą diodą o poprawionych właściwościach dynamicznych, jest rozwiązaniem niekorzystnym. Ze względu na dodatkową diodę blokującą, układ traci na sprawności, dochodzą dodatkowe pasyżnicze indukcyjności doprowadzeń, niemożliwe jest rozładowanie pojemności wyjściowej tranzystora przez obciążenie falownika a załączenie w takim przypadku, to rozładowanie pojemności C_{OSS} kanałem tranzystora i dodatkowa moc strat.

Wykazano możliwość pracy przekształtnika z dużą sprawnością, ok. 95%, przy występowaniu komutacji twardej D→sT w przypadku zastosowania tranzystorów SiC MOSFET oraz SiC MOSFET SBD (tab.2).

Wyniki przeprowadzonych badań stawiają tranzystory SiC MOSFET oraz SiC MOSFET SBD jako elementy pierwszego wyboru przy zastosowaniu w falownikach w których występuje komutacja twarda D→sT - dla naszego przypadku jest to pojedynczy szeregowy jednoczesny falownik dwuczęstotliwościowy.

Przeprowadzone badania potwierdziły możliwość wystąpienia krótkotrwałych zwarć skrośnych przy komutacji twardej D→sT. Prawdopodobną przyczyną ich występowania jest niska wartość ujemnego napięcia sterującego (-6 V). Dla przypadku tranzystora Si MOSFET, prąd wsteczny I_{RRM} i jego stromość osiągały znaczne wartości, konsekwencją czego mogło być odkładanie się dodatkowego napięcia na indukcyjności wspólnych doprowadzeń źródła i bramki tranzystora, powodując tym samym przekroczenie progowej wartości napięcia załączenia tranzystora $V_{GS(th)}$. Dalsze badania powinny m.in. dotyczyć eliminacji tego zjawiska lub zastosowania IGBT z diodą SiC przy niższych częstotliwościach przełączania.

Autorzy: mgr inż. Kamil Kierepka, mgr inż. Piotr Legutko, dr hab. inż. Marcin Kasprzak, Politechnika Śląska, Katedra Energoelektroniki, Napędu Elektrycznego i Robotyki, 44-100 Gliwice, ul. B.Krzywoustego 2, E-mail: kamil.kierepka@polsl.pl, piotr.legutko@polsl.pl, marcin.kasprzak@polsl.pl

LITERATURA

- [1] Kierepka K., Legutko P., Pojedynczy szeregowy dwuczęstotliwościowy falownik jednoczesny do nagrzewania indukcyjnego - problem komutacji nieoptymalnych, *Przegląd Elektrotechniczny*, ISSN 0033-2097 – w recenzji wydawniczej
- [2] Kierepka K., Falownik dwuczęstotliwościowy do nagrzewania indukcyjnego, praca dyplomowa magisterska, Politechnika Śląska, Wydział Elektryczny, Katedra Energoelektroniki, Napędu Elektrycznego i Robotyki, Gliwice, 2015 r.
- [3] Esteve V., Jordán J., Dede E.J., Induction Heating Inverter with Simultaneous Dual-Frequency Output, *Applied Power Electronics Conference and Exposition*, 2006. APEC 18 kwietnia 2006, ss. 1505-1509
- [4] Kasprzak M., Falowniki rezonansowe klasy D i DE o częstotliwościach pracy do 13,56 MHz, monografia habilitacyjna, Wydawnictwo Politechniki Śląskiej, ISBN 978-83-7880-037-8, Gliwice 2013
- [5] Noty katalogowe omawianych tranzystorów mocy.
- [6] Grzejszczak P., Barlik R., The description of turn-off process and evaluation of switching power losses in the ultra fast power MOSFET, *IEEE Trans. on Power Electronics*. Vol. 1(36), No. 1, 2016 pp. 55-67
- [7] Nowak M., Grzejszczak P., Zdanowski M., Barlik R., Pomiar termiczny dla weryfikacji wartości strat łączeniowych w półprzewodnikowych przyrządach mocy, *Przegląd Elektrotechniczny*, ISSN 0033-2097, 2012, Nr. 4b, 163-168