

doi:10.15199/48.2018.09.23

Jednoczesny, dwuczęstotliwościowy falownik do nagrzewania indukcyjnego o strukturze półmostka SiC MOSFET

Streszczenie. W artykule przedstawiono falownik napięcia o strukturze półmostka tranzystorowego SiC MOSFET wraz z dwuczęstotliwościowym szeregowo-równoległym obwodem rezonansowym. Przedstawiono sposób realizacji układu sterowania z cyfrowym modulatorem MSI zaimplementowanym do układu FPGA. Dokonano laboratoryjnego wyznaczenia charakterystyki sprawności drenowej badanego układu w funkcji mocy szyny DC metodą skalowania temperaturowego.

Abstract. The paper presents a SiC MOSFET half bridge voltage source inverter with capacitive divider, loaded with a dual-frequency series resonant circuit. FPGA-based digital PWM control scheme is presented. Converter's efficiency as a function of active power (DC bus) was measured by relying on transistors' cases temperature increase as a function of power loss. (**Single simultaneous dual frequency inverter for induction heating, half bridge topology.**)

Słowa kluczowe: nagrzewanie indukcyjne, rezonans, jednoczesny falownik dwuczęstotliwościowy, SiC MOSFET.

Keywords: induction heating, resonance, simultaneous dual-frequency inverter, SiC MOSFET.

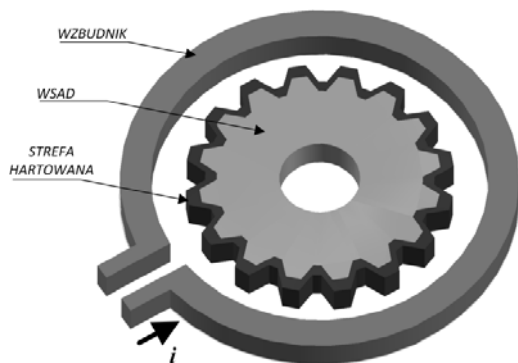
Wstęp

Wysokie wymagania stawiane parametrom mechanicznym stalowych elementów konstrukcji maszyn, stwarzają potrzebę stosowania precyzyjnych procesów obróbki cieplnej. Nagrzewanie indukcyjne cechuje się wysoką sprawnością, powtarzalnością oraz szybkością procesu [1].

Szczególnym przypadkiem jest indukcyjne nagrzewanie wstępne przed hartowaniem elementów o nieregularnym kształcie (koło zębate, rys. 1). Proces hartowania polega na wstępnym podgrzaniu stalowego elementu do temperatury hartowania a następnie schłodzenia z ściśle określoną dynamiką. Proces hartowania zapewnia zmianę właściwości wytrzymałościowych materiału takich jak: twardość, plastyczność oraz sprężystość. W przypadku kół zębatach pożądana jest wysoka odporność na ścieranie (twardość) powierzchni bocznych oraz den wrębów przy zachowaniu odpowiedniej sprężystości, plastyczności wnętrza [2]. Niezbędnym jest wytworzenie równomiernego rozkładu temperatury, o określonej dla danego materiału wartości (umożliwiającej zmianę właściwości struktury w procesie hartowania).

Zastosowanie falownika dwuczęstotliwościowego w procesie podgrzewania przed hartowaniem umożliwia uzyskanie równomiernego rozkładu temperatury na powierzchni koła zębata, które nie jest możliwe dla przypadku falownika jednoczęstotliwościowego [2].

Szczegółowy opis metody sterowania oraz występujących komutacji dla omawianego falownika zawierają opracowania [3], [4], [5].

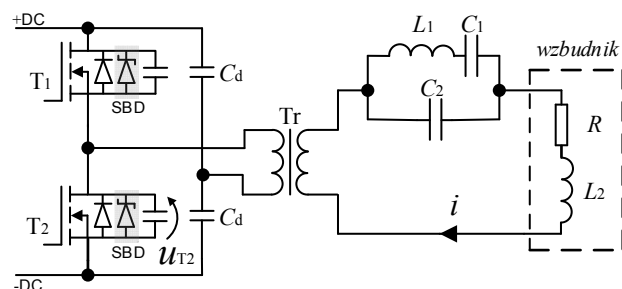


Rys. 1. Przykład zastosowania falownika dwuczęstotliwościowego – obwiedniowe hartowanie kół zębatach

Struktura badanego układu

Opracowano i przebadano układ falownika o strukturze półmostka tranzystorowego z kondensatorowym dzielnikiem napięcia. Obciążenie stanowił dwuczęstotliwościowy obwód rezonansowy połączony z falownikiem za pomocą transformatora dopasowującego (rys. 2). Parametry badanego układu zestawiono w tabeli 1. Zastosowano tranzystory z węgla krzemu SiC MOSFET z wbudowanymi diodami zwrotnymi SBD (ang. Schottky barrier diode) w celu ograniczenia mocy strat związanej z występowaniem komutacji twardej D→sT (z diody na szeregowy tranzystor) [3] podczas pracy falownika dwuczęstotliwościowego dla omawianej struktury.

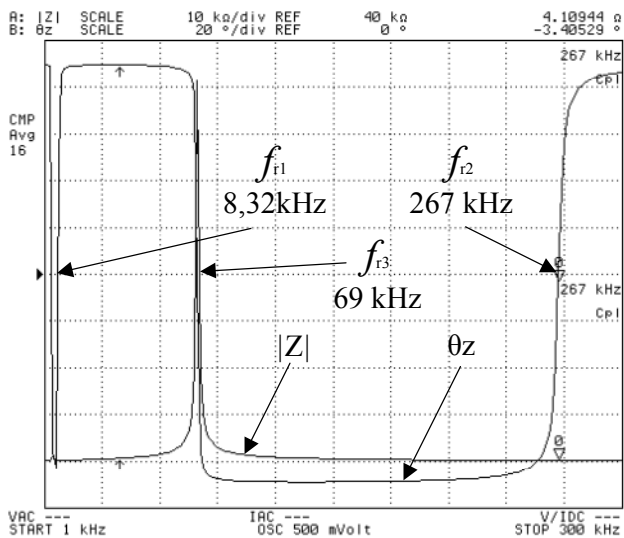
Rysunek 3 przedstawia impedancję obwodu obciążenia zmierzoną na zaciskach strony pierwotnej transformatora dopasowującego T_r za pomocą analizatora impedancji Agilent 4294A. Obwód wyjściowy cechuje się dwiema częstotliwościami rezonansu szeregowego: f_{r1} (MF-średniej częstotliwości), f_{r2} (HF-wysokiej częstotliwości) oraz jedną częstotliwością rezonansu równoległego f_{r3} . Realizowane sterowanie oparte o metodę modulacji szerokości impulsów nie powoduje pobudzania drgań rezonansu równoległego dla częstotliwości f_{r3} , zjawisko rezonansu równoległego nie jest znaczące.



Rys. 2. Uproszczony schemat zastępczy badanego układu

Tabela 1. Zestawienie parametrów badanego układu

C_d	6,8 μF
T_r	15/1
C_1	33 μF
C_2	660 nF
L_1	8,2 μH
L_2	540 nH
R	50 m Ω
T_1, T_2	$U_{DSS}=1200\text{ V}$ $I_D=40\text{ A}$ $R_{ds(on)}=80\text{ m}\Omega$



Rys.3. Moduł oraz faza impedancji obwodu wyjściowego w funkcji częstotliwości wyznaczony pomiarowo od strony pierwotnej T_1

Układ sterowania FPGA

Układ sterowania zrealizowano w oparciu o układ FPGA. Parametry zadane wprowadzono do układu za pomocą dedykowanego panelu operatorskiego złożonego z przycisków typu tact-switch oraz diod led sygnalizujących aktualne wartości zmiennych. Schemat blokowy zaprezentowany na rysunku 4 przedstawia strukturę cyfrowego modulatora MSI wraz z pozostałymi blokami funkcyjnymi.

Blok zadawania parametrów odpowiada za obsługę sygnałów wejściowych, są w nim zdefiniowane parametry startowe układu. Blok ten generuje sygnał OE, który zezwala na podanie stanu wysokiego na wyjścia sterujące tranzystorami mocy. Sygnał A umożliwia

zmianę głębokości modulacji z 8-bitową rozdzielczością. Sygnały f_{sin} oraz f_{tri} są to wartości o jakie inkrementowany jest licznik generatora NCO.

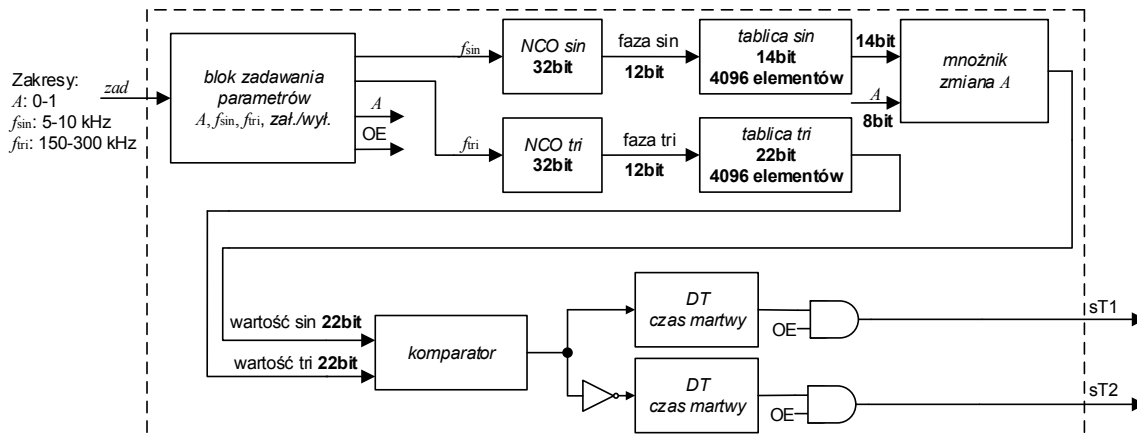
Bloki NCO (ang. Numerically Controlled Oscillator) z 32-bitowymi licznikami inkrementowane są wartością odpowiednio f_{sin} oraz f_{tri} , które definiują częstotliwości generowanych przez NCO sygnałów. Sygnałem wyjściowym z bloków NCO, jest odpowiednio przeskalowana faza o rozdzielczości 12-bitowej, wskazuje ona, który element z poszczególnych tablic, w danej chwili czasowej powinien zostać wystawiony na wyjściach bloków odpowiednio *tablica sin* oraz *tablica tri*.

Blok *mnożnik zmiana A* na wejściu otrzymuje wartość chwilową o rozdzielczości 14 bit pochodzącą z *tablicy sin* oraz wartość A wcześniej opisaną. Dokonywane jest mnożenie obu wartości, w konsekwencji na wyjściu wystawiona jest 22-bitowa chwilowa wartość cyfrowego sygnału sinus modulatora MSI o zadanej głębokości modulacji.

Blok *komparator* dokonuje porównania chwilowych cyfrowych wartości sygnałów sinus oraz trójkąt zgodnie z ideą sterowania MSI [3],[4]. Na wyjściu *komparatora* wystawiany jest sygnał, który za pomocą bramki NOT tworzy komplementarny sygnał zmodulowany.

Bloki *DT czas martwy* odpowiadają za generowanie czasu martwego zapobiegającego zwarciom skrośnym tranzystorów w półmostku. Wartość czasu martwego była stała i wynosiła 250 ns.

Ostatnim stopniem pośredniczącym są bramki AND wraz z wcześniej opisanym sygnałem kontroli załączenia OE. Sygnały sterujące sT1 oraz sT2 wystawiane są na wyjścia układu FPGA, skąd trafiają na bufor, następnie do nadajników światłowodowych sterujących sterownikami bramkowymi tranzystorów mocy SiC MOSFET.



Rys.4. Schemat blokowy układu sterowania zaimplementowanego w strukturę FPGA

Pomiary laboratoryjne

Rysunek 5 przedstawia stanowisko pomiarowe złożone z omawianego falownika, chłodnic wodnych oraz układu zasilania w postaci trójfazowego autotransformatora z 6-pulsowym diodowym mostkiem prostowniczym oraz kondensatorem filtrującym. Na obudowach tranzystorów mocy zostały osadzone termistory NTC umożliwiające kontrolę temperatury. Poszczególne elementy stanowiska takie jak: obciążenie (rura ze stali węglowej ocynkowana z wewnętrznym przepływem wody), blok wodny z osadzonymi tranzystorami mocy, obwód obciążenia, chłodzone były z osobnych chłodnic. Za pomocą cyfrowego miernika z termoparą typu K, kontrolowano temperaturę cieczy chłodzącej blok wodny z osadzonymi tranzystorami mocy.

Układ sterowania sparametryzowano na stałe wartości zadane: głębokość modulacji A , częstotliwość sygnału nośnego f_{tri} oraz częstotliwość sygnału modulującego f_{sin} . Parametry poszczególnych częstotliwości dobrano na podstawie obserwacji prądu szyny DC przy niskim napięciu szyny DC wynoszącym 30 V. Częstotliwości startowe znacznie większe od częstotliwości rezonansów szeregowych f_{r1} , f_{r2} zmniejszono do osiągnięcia ekstremum prądu. Wartość głębokości modulacji zadano na stałą wartość $A=0,8$ aby uniknąć nadmodulacji.

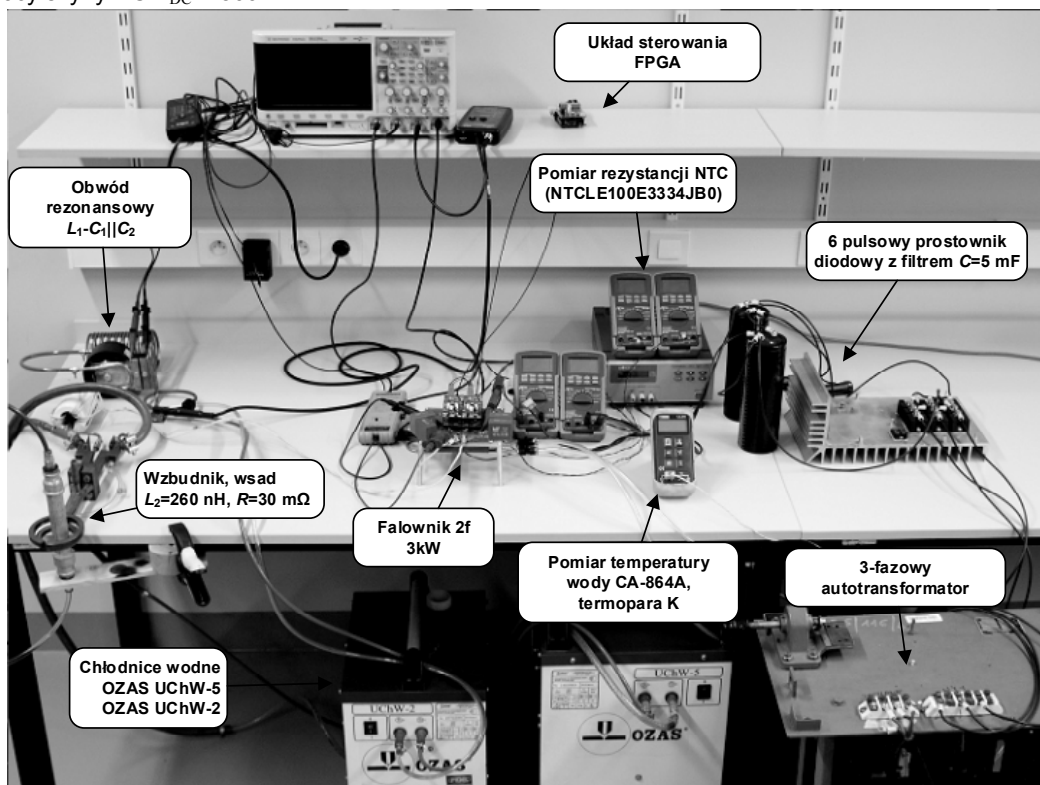
Pomiarów dokonano w funkcji napięcia szyny DC regulowanego za pomocą autotransformatora. Zakres zmian napięcia wynosił 100-300 V z krokiem 10 V, odpowiadało to zakresowi mocy szyny DC 300-2300 W. Interwały czasu między kolejnymi punktami pomiaru

wynosiły 60 s, były wystarczające dla osiągnięcia stanu ustalonego temperatury tranzystorów mocy.

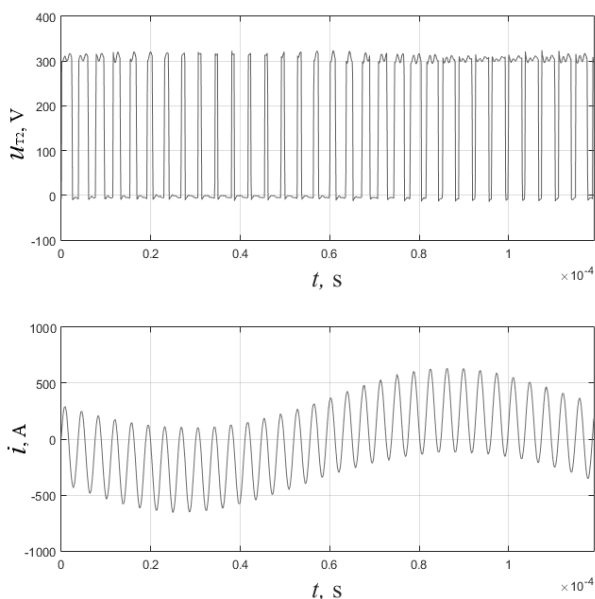
Obwód rezonansowy z zastosowanym układem chłodzenia umożliwił realizację pracy ciągłej do wartości granicznej mocy szyny DC $P_{DC}=2300$ W. Dla tej wartości temperatury kondensatorów rezonansowych wynosiły około 60 °C. Dokonano próby pracy krótkotrwałej ($T \cong 10$ s) układu dla temperatury obwodu rezonansowego oraz cieczy chłodzącej wynoszących 25 °C przy mocy szyny DC $P_{DC}=3500$ W.

Rysunek 6 przedstawia zarejestrowane przebiegi napięcia dolnego tranzystora półmostka u_{T2} oraz prądu strony wtórnej transformatora dopasowującego i dla punktu pracy przy mocy szyny DC $P_{DC}=2300$ W.

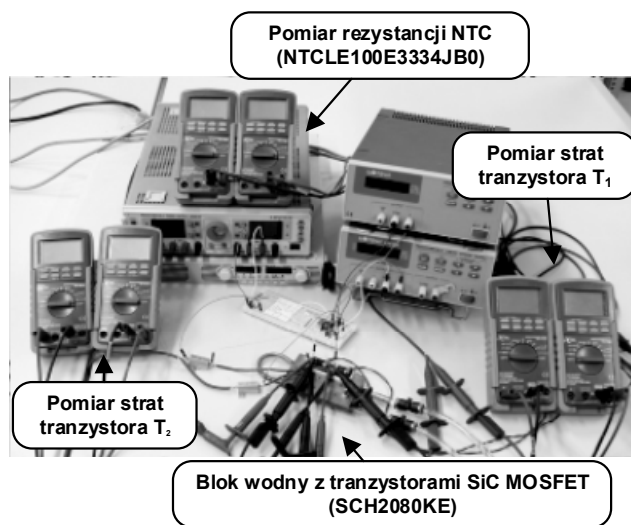
Następnie przeprowadzono pomiary układu zaprezentowanego na rysunku 7. Badanym obiektem był blok wodny oraz osadzone na nim tranzystory mocy. Układ chłodzenia pozostał niezmienny względem pierwszego etapu pomiarów falownika. Tranzystory mocyysterowano za pomocą wzmacniaczy operacyjnych do pracy liniowej, wartość zadana prądu tranzystora wynosiła $i_D \cong 0,43$ A. Dokonywano zmiany napięcia u_{DS} w zakresie 4-112 V_{DC} ze skokiem 1 V w interwałach czasu wynoszących 60 s. Moc strat dla poszczególnych tranzystorów wyznaczono na podstawie iloczynu prądu i_D oraz napięcia u_{DS} , wartości mierzone były niezależnie dla obu tranzystorów mocy.



Rys.5. Zdjęcie stanowiska pomiarowego falownika



Rys.6. Zmierzone przebiegi napięcia u_{T2} oraz prądu i dla punktu pracy przy mocy $P_{DC}=2300$ W



Rys.7. Zdjęcie stanowiska pomiarowego do wyznaczania mocy strat tranzystorów

Wyznaczanie sprawności drenowej

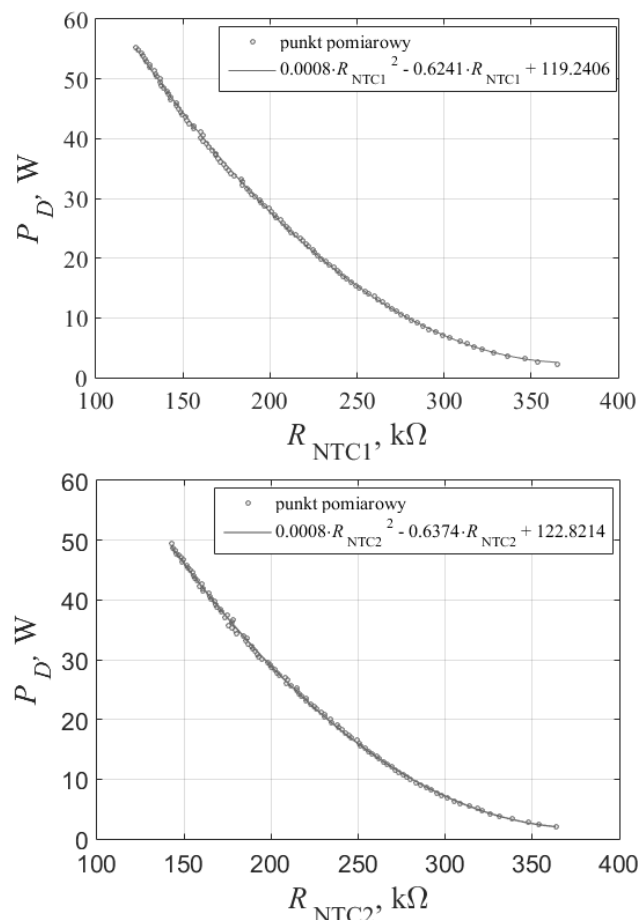
Pomiary podczas pracy układu z rysunku 5 dostarczyły pośrednich wartości temperatury w postaci rezystancji termistorów NTC dla poszczególnych punktów pracy. Pomiary dla drugiej konfiguracji przedstawionej na rysunku 7 pozwoliły wyznaczyć charakterystykę rezystancji termistorów w funkcji mocy strat wydzielanej w tranzystorach. Dokonano aproksymacji wielomianem drugiego rzędu. Rysunek 8 przedstawia otrzymane funkcje aproksymacji. Następnie przez podstawienie uzyskanych w pierwszej serii pomiarowej wartości rezystancji termistorów (układ z rys. 5), określono moc strat w tranzystorach dla każdego z punktów pracy.

Istotną kwestią prezentowanego rozwiązania jest zastosowanie w obu przypadkach, jednego układu chłodzenia bloku wodnego z osadzonymi tranzystorami mocy, zachowanie tej samej temperatury otoczenia oraz kontrola temperatury cieczy chłodzącej. Ciecz chłodząca zachowywała stabilne powtarzalne parametry dla analogicznych punktów temperaturowych tranzystorów w obu przypadkach.

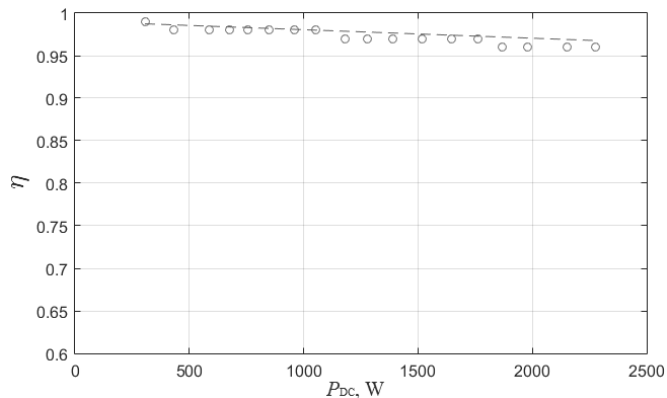
Sprawność tzw. drenową (rys. 9) wyznaczono na podstawie zależności (1).

$$(1) \quad \eta = \frac{P_{DC} - \Delta P_T}{P_{DC}}$$

gdzie: η – sprawność drenowa, P_{DC} – moc mierzona szyny DC, ΔP_T – moc strat tranzystorów.



Rys.8. Charakterystyki rezystancji termistorów w funkcji strat mocy z aproksymacją wielomianem drugiego rzędu



Rys.9. Wykres sprawności drenowej w funkcji mocy szyny DC

Podsumowanie

W artykule przedstawiono przykładowe zastosowanie jednoczesnego falownika dwuczęstotliwościowego oraz zaprezentowano topologię badanego układu.

Opracowano i omówiono propozycję cyfrowej realizacji układu sterowania falownika w oparciu o układ FPGA. Szczegółowo przedstawiono wysokoczęstotliwościowy modulator MSI wraz z blokami funkcyjnymi niezbędnymi do realizacji sterowania falownikiem. Przeprowadzono badania laboratoryjne dwuczęstotliwościowego falownika rezonansowego potwierdzające wcześniejsze badania, które wykazały możliwość długotrwałej wysokosprawnej pracy falownika z występowaniem komutacji twardej D→sT w oparciu o tranzystory mocy SiC MOSFET [5].

Omówiono zastosowaną metodę skalowania temperaturowego z wykorzystaniem termistorów NTC, pozwalającą wyznaczyć sprawność drenową falownika.

Dalsze badania powinny skupić się na realizacji sterowania w zamkniętej pętli regulacji. Zasadnym wydaje się również podjęcie problematyki rozkładu indukcji magnetycznej w zależności od proporcji poszczególnych składowych prądu (OCR) [3], czasu ekspozycji elementu wsadowego (konwekcja temperatury) oraz geometrii nagrzewanego elementu [6].

Autor: mgr inż. Kamil Kierepka, Politechnika Śląska, Katedra Energoelektroniki, Napędu Elektrycznego i Robotyki 44-100 Gliwice, ul. B.Krzywoustego 2, E-mail: kamil.kierepka@polsl.pl

LITERATURA

- [1] Brill S., Schibisch D. M., Induction hardening versus case hardening - a comparison, Heat processing 1/2015, 76-83
- [2] Smalcerz A., Modelowanie zjawisk zachodzących podczas procesu hartowania indukcyjnego kół zębatych, monografia, Wydawnictwo Politechniki Śląskiej, ISBN 978-83-7880-341-6, Gliwice 2015
- [3] Kierepka K., Legutko P., Kasprzak M., Problematyka komutacji nieoptymalnych w pojedynczym szeregowym dwuczęstotliwościowym jednoczesnym falowniku do nagrzewania indukcyjnego, Przegląd Elektrotechniczny, ISSN 0033-2097, 3/2018, 65-68
- [4] Esteve V., Jordán J., Dede E.J., Induction Heating Inverter with Simultaneous Dual-Frequency Output, Applied Power Electronics Conference and Exposition, 2006. APEC 18 kwietnia 2006, ss. 1505-1509
- [5] Kierepka K., Legutko P., Szeregowy, dwuczęstotliwościowy falownik do nagrzewania indukcyjnego z pojedynczym mostkiem tranzystorowym typu H – problemy komutacji nieoptymalnych, Przegląd Elektrotechniczny, ISSN 0033-2097, 5/2018, 169-172
- [6] Dongwon Y., Heechang P., Jeong-Hoi K., Sangyong H., Sunghwi L., Investigation of Heat Treatment of Gears using a Simultaneous Dual Frequency Induction Heating Method, IEEE Transactions on Magnetics, ISSN: 0018-9464, Volume: 51, Issue: 11, Nov. 2015