

ADC z w pełni różnicowym integratorem w trybie prądowym

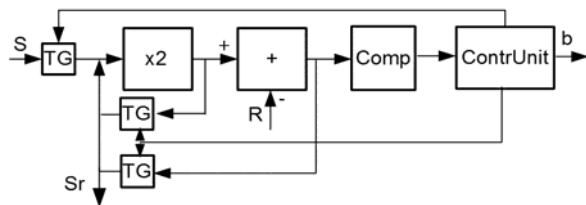
Streszczenie. Przedmiotem pracy są przetworniki ADC w trybie prądowym dla standardowych, cyfrowych technologii CMOS w nanoskali. Wykazano, że taki przetwornik z integratorem prądowym o strukturze różnicowej daje kilkubitową dokładność konieczną dla przetwarzania potokowego. W pracy zaprezentowano realizację w pełni różnicową pozwalającą na zwiększenie rozdzielczości przetwornika o dodatkowy bit.

Abstract. The subject of the work are ADC converters in current mode for standard digital CMOS technology at the nanoscale. It was shown that such a converter with a current integrator with a differential structure gives several-bit accuracy necessary for pipelined processing. The paper presents a fully differential implementation that allows to increase the resolution of the converter by an additional bit. (ADC with a fully differential integrator in current mode)

Słowa kluczowe: ADC, tryb prądowy, integrator, przetwornik algorytmiczny, podwójne całkowanie, nanoskala, VHDL-AMS
Keywords: ADC, current mode, integrator, algorithm converter, double integration, nanoscale, VHDL-AMS

Wstęp

Współczesne standardowe cyfrowe technologie CMOS pozwalają na realizację ADC o kilkubitowej rozdzielczości. Kilkunastobitowa rozdzielczość jest uzyskiwana jedynie dzięki przetwarzaniu potokowemu. W tej pracy pokazana jest możliwość uzyskania kilkubitowej rozdzielczości w przetworniku z integratorem pracującym w trybie prądowym. Dodatkową zaletą pracy układów analogowych w trybie prądowym jest ich zasilanie standardowym napięciem, typowym dla całego układu cyfrowego. Konieczność zwiększania napięcia zasilającego ponad standardowe bywa nie do uniknięcia dla układów pracujących w trybie napięciowym, szczególnie w przypadku ich realizacji jako układów CMOS w nanoskali [1].



Rys. 1: Sprzętowa implementacja algorytmicznego ADC

Przetwornik algorytmiczny ADC

Powszechnie znany algorytm przekształcania danej liczby do postaci dwójkowej polega na dzieleniu w kolejnych krokach, zadanej liczby przez 2. Bity otrzymujemy jako reszty z dzielenia. Główną wadą tego algorytmu jest zmniejszanie się próbkowanego sygnału w kolejnych krokach, np. dla liczby 10-cio bitowej ostatnia wartość jest mniejsza 1024 razy od początkowej. Modyfikacja tego algorytmu polega na mnożeniu próbkowanego sygnału S przez 2 i odejmowaniu wartości odniesienia (ang. reference) R. Jeśli w danym kroku wynik z komparatora jest dodatni to bit jest 1 i na wejście układu mnożącego podawany jest sygnał resztkowy S_r celem obliczenia kolejnego bitu. Jeśli wynik z komparatora jest ujemny, to bit jest 0, a na wejście układu mnożącego jest podawany sygnał z nieodjętym R. Implementacja tego algorytmu jest przedstawiona na rys.1, w którym układ złożony z dwóch TG spełnia rolę jednobitowego DAC. Konieczna dla przetwarzania liczba okresów zegara jest równa liczbie bitów przetwornika. Następną próbkę sygnału S może być przetwarzana po upływie tego czasu. Jednak jeśli sygnały resztkowe S_r zostaną podane na następne identyczne układy jak na rys.1, wówczas wynik uzyskiwany jest w

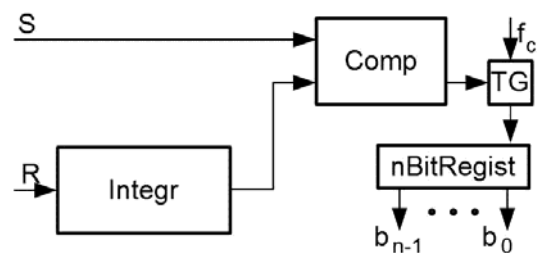
jednym okresie z opóźnieniem (ang. latency). Jest to tzw. przetwarzanie potokowe, dzięki któremu sygnały są próbkowane w każdym okresie zegara. Wszystkie operacje algorytmicznego ADC są proste do implementacji w trybie prądowym [2].

Wadą tego algorytmu jest podwajanie się błędu w każdym jego kroku. Dla zmniejszenia błędu poszukuje się realizacji kilkubitowych przetworników ADC, które są następnie wykorzystywane w przetwarzaniu potokowym. Układ mnożący przez 2 i jednobitowy ADC (2xTG) jest zastępowany przez kilkubitowy MADC (multiplying digital to analog converter), [3].

Przetwornik z integratorem Pojedyncze całkowanie

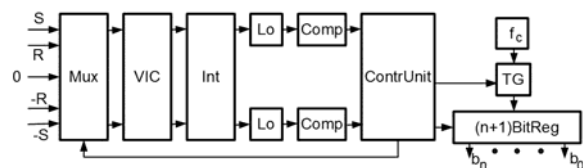
Wynik całkowania sygnału odniesienia R jest w komparatorze porównywany z sygnałem próbkowanym S. Czas całkowania jest proporcjonalny do próbkowanego sygnału, zgodnie z zależnością:

$$(1) \quad S = \frac{1}{\tau} \int_0^T R dt = RT / \tau$$



Rys. 2: Implementacja ADC z pojedynczym całkowaniem

Budowa przetwornika ADC z pojedynczym całkowaniem jest przedstawiona na rys.2.



Rys. 3: Implementacja w pełni różnicowego ADC z podwójnym całkowaniem

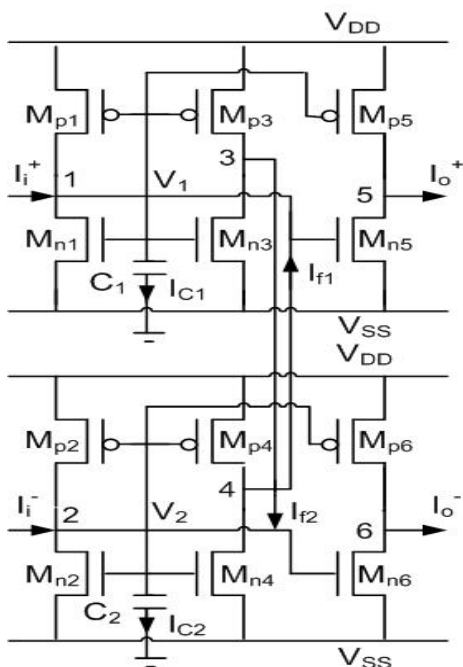
Podwójne całkowanie

Podwójne całkowanie odbywa się w dwóch przedziałach czasowych. W pierwszym przedziale $T_f \geq 2^n / f_c$, gdzie n jest liczbą bitów, a f_c częstotliwością zegara, następuje całkowanie sygnału próbkowanego S . Drugi przedział całkowania T sygnału odniesienia R trwa, aż komparator wykryje równość całkowanych wartości:

$$(2) \quad \frac{1}{\tau} \int_1^{T_f} S dt = \frac{1}{\tau} \int_1^T R dt$$

Mamy wówczas:

$$(3) \quad S * T_f = R * T, \quad S = R * T / T_f$$



Rys. 4: Integrator prądowy czasu ciągłego o strukturze w pełni różnicowej

Zauważmy, że $2^n / f_c$ jest minimalnym czasem potrzebnym do uzyskania n -bitowej rozdzielczości, oraz przy podwójnym całkowaniu wynik nie zależy od stałej czasowej τ integratora. Budowa przetwornika ADC z podwójnym całkowaniem jest przedstawiona na rys. 3.

Prądowy integrator o strukturze w pełni różnicowej

Prądy drenów tranzystorów NMOS i PMOS w stanie nasycenia na rys.4, mogą być przedstawione za pomocą prostego modelu kwadratowego jako (4):

$$(4) \quad I_{Dn} = \frac{\beta_n}{2} (V_{GS} - V_{Tn})^2, \quad I_{Dp} = \frac{\beta_p}{2} (V_{SG} - V_{Tp})^2$$

Gdzie $V_{GS} = V_{1,2} - V_{SS}$, $V_{GS} = V_{1,2} - V_{SS}$, $V_{SG} = V_{DD} - V_{1,2}$. Zakładamy, bez utraty ogólności rozważań i dla uproszczenia obliczeń, że napięcia zasilające są symetryczne $V_{DD} = -V_{SS} = V_g$, tak jak i napięcia bramek $V_1 = -V_2 = V_g$. Stąd, prądy drenów przyjmują postać (5):

$$(5) \quad I_{Dn} = \frac{\beta_n}{2} (\pm V_g + V_s - V_{Tn})^2, \quad I_{Dp} = \frac{\beta_p}{2} (V_s \mp V_g + V_{Tp})^2$$

gdzie górne znaki są przyjęte dla tranzystorów w górnej ścieżce sygnału dodatniego, a dolne znaki w dolnej ścieżce sygnału ujemnego w obwodzie na rys. 4. Jeśli zasilanie jest niesymetryczne $V_{DD} \neq |V_{SS}|$, wówczas wszystkie napięcia w

pełni różnicowego obwodu są przesunięte o $V_g = (V_{DD} - V_{SS})/2$.

Tranzystory wszystkich par tranzystorów komplementarnych mają odpowiednio dobrane rozmiary kanałów, tak że $\beta_n = \beta_p$. Dla struktury w pełni różnicowej możemy przyjąć, że wszystkie elementy w obu ścieżkach, dodatniej i ujemnej, są takie same. Stąd

$$\beta_{n1} = \beta_{p1} = \beta_{n2} = \beta_{p2} = \beta_i,$$

$$(6) \quad \beta_{n3} = \beta_{p3} = \beta_{n4} = \beta_{p4} = \beta_f,$$

$$\beta_{n5} = \beta_{p5} = \beta_{n6} = \beta_{p6} = \beta_o$$

podobnie, jak pojemności kondensatorów całkujących:

$$(7) \quad C_1 = C_2 = C$$

Korzystając z prądowego prawa Kirchhoffa (CKL) możemy wyznaczyć transmitancję obwodu z rys. 4. Zakładając zgodnie z równaniem (7), że $i_{C1} = sC V_1 = sC V_g$, $i_{C2} = sC V_2 = -sC V_g$ otrzymujemy następującą postać transmitancji:

$$(8) \quad H(s) = \frac{I_o(s)}{I_i(s)} = \frac{-\beta_o (2V_s - V_{Tn} + V_{Tp})}{sC + (\beta_i - \beta_f)(2V_s - V_{Tn} + V_{Tp})}$$

Transmitancja ta może być zapisana jako

$$(9) \quad H(s) = \frac{-1}{s\tau + (a_i - a_f)}$$

gdzie

$$(10) \quad \tau = \frac{C}{\beta_o (2V_s - V_{Tn} + V_{Tp})}$$

oznacza stałą czasową i

$$(11) \quad a_i = \frac{\beta_i}{\beta_o}, \quad a_f = \frac{\beta_f}{\beta_o}$$

oznacza tłumienia stopni wejściowego i sprzężenia zwrotnego. Jeśli spełniony jest warunek $a_i = a_f$ to transmitancja (9) opisuje idealny integrator.

Integrator z rys.4, w którym tranzystory PMOS są wykorzystane jako rzeczywiste źródła prądowe [4], daje w wyniku analogicznej analizy transmitancję o postaci (9), ale ze stałą czasową (12).

$$(12) \quad \tau = \frac{C}{\beta_o (V_s - V_{Tn})}$$

Wynik ten oznacza, że integrator ze źródłami prądowymi zbudowany z takich samych kondensatorów i tranzystorów wymaga podwyższonego napięcia zasilającego V_g dla uzyskania takiej samej szybkości działania.

Budowa ADC z podwójnym całkowaniem

Podstawowe komórki przetwornika z podwójnym całkowaniem

Podstawowe komórki przetwornika z podwójnym całkowaniem są następujące:

- multiplexer **Mux** zbudowany z bramek transmisyjnych, przełączający sygnały napięciowe: przetwarzany **S**, odniesienia **R** oraz zerowy **0**,
- przetwornik napięciowo-prądowy **VIC** [5],
- integrator trybu prądowego **Int**, obciążony dużą

rezystancją **Lo** (para tranzystorów komplementarnych w połączeniu diodowym),

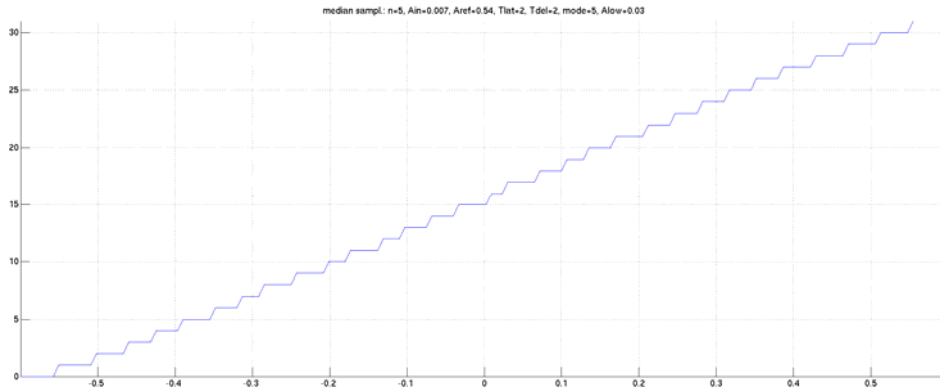
- kilkustopniowy (inwertery) komparator **Comp**,
- **ContrUnit** – jednostka kontrolna przetwornika pobierająca sygnały z komparatorów, sterująca multiplexerem **Mux** oraz rejestrem **BitReg** i otwierająca/zamykająca bramkę transmisyjną **TG** dla zegara **fc**.

Działanie ADC

Działanie ADC z podwójnym całkowaniem o strukturze różnicowej jest następujące:

- przetwarzany sygnał **S** jest całkowany przez czas $T_T = 2^n / f_c$, znak próbki **S** jest sygnalizowany przez komparator w odpowiedniej ścieżce sygnałowej (dodatniej lub ujemnej) i odczytywany w **ContrUnit**,
- w pierwszym okresie całkowania **ContrUnit**

- przygotowuje rejestr do zliczania (zeruje i jeśli $S > 0$ nadaje najstarszemu bitowi wartość 1),
- na początku drugiego okresu całkowania **ContrUnit** podaje przez **Mux** na wejścia **VIC** sygnał odniesienia ze znakiem przeciwnym niż znak próbki (na wejście nieodwracające **-R** i odwracające **+R** gdy $S > 0$, a odwrotnie gdy $S < 0$), oraz przez bramkę transmisyjną **TG** sygnał zegarowy f_c na rejestr **BitReg**,
- drugi okres całkowania **T** trwa, aż **ContrUnit** wykryje na wyjściu **Comp** spadek sygnału do wartości 0 (spełnienie warunku $S \cdot T_T = R \cdot T$), następuje zamknięcie bramki **TG** i koniec zliczania sygnału zegara f_c ,
- w pozostałym czasie, $T_r - T$, **ContrUnit** dołącza, przez **Mux**, do obu wejść różnicowych 0.



Rys. 5: charakterystyka statyczna ADC

Działanie rzeczywistego ADC

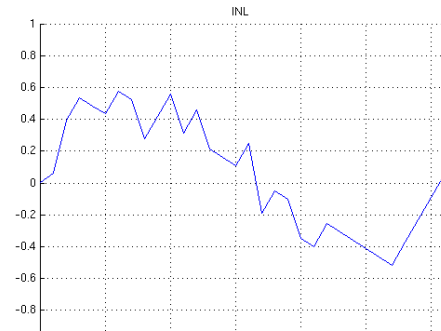
W działaniu rzeczywistego ADC należy uwzględnić opóźnienie (ang. latency) poszczególnych członów, głównie **Comp**, łącznie o kilka okresów zegara. Wynikające stąd błędy można skompensować opóźnieniem otwarcia **TG** na sygnał generatora (zliczanie rozpoczyna z opóźnieniem T_{i2R}) i podaniem na **Mux** zamiast 0 odpowiedniego sygnału zerującego **Int** (czas trwania zerowania T_{del}). Zarówno opóźnienie jak i konieczność zerowania **Int** powodują wydłużenie drugiego okresu o odpowiednią liczbę okresów zegara. Zauważmy, że dzięki strukturze w pełni różnicowej wynik jest $(n+1)$ bitowy. ADC z podwójnym całkowaniem jest więc tak samo szybki jak z pojedynczym całkowaniem.

Realizacja w pełni różnicowego ADC

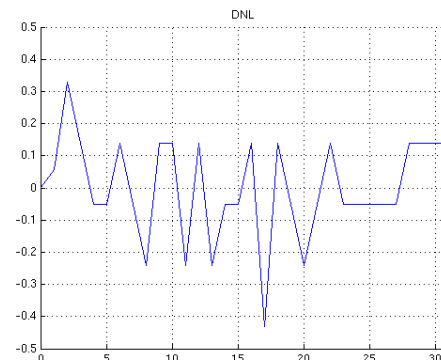
Część analogowa przetwornika ADC, a w szczególności integrator **Int** komparator **Comp** oraz converter **VIC** zostały zaprojektowane dla technologii 65nm CMOS. Do przeprowadzenia analiz przetwornika wykorzystano podejście oparte na modelowaniu z użyciem języka VHDL-AMS [6], w którym opisano część cyfrową i przygotowano symulacje pre-layout dla odpowiedniej funkcji wejściowej: fali prostokątnej lub sygnału schodkowego. Najważniejszą opcją jest znajdowanie charakterystyki statycznej. W tym celu dokonywana jest analiza czasowa dla sygnału wejściowego zmieniającego się liniowo z zadaniem krokiem A_{FS} w przedziale napięć $-0.6V$ do $0.6V$, zgodnie ze standardem dla technologii TSMC 65nm. Zakłada się, że czas trwania każdego kroku wynosi co najmniej kilka okresów próbkowania. Przykładowa charakterystyka dla $A_{FS} = 7mV$ i pięciu okresów próbkowania, $mode = 5$, jest pokazana na rys.5. Sygnał wyjściowy jest przyjmowany jako mediana z 5-ciu otrzymanych w danym kroku wartości. Algorytm działania **ContrUnit** umożliwia symulacje dla różnych wartości sygnału odniesienia (na rys. 5. jest to

$A_{REF} = 0.54V$) i różnych opóźnień komórek analogowych. Możliwa jest również korekta sygnału przy przechodzeniu przez zero. Nieliniowości charakteryzujące badany układ przedstawia rys. 6.

a) INL



b) DNL



Rys. 6. Nieliniowości badanego przetwornika ADC

Podsumowanie

Przedstawiony w pracy przetwornik ADC, zbudowany z komórek pracujących w trybie prądowym, może być implementowany w cyfrowych technologiach CMOS w nanoskali, bez konieczności zasilania napięciem powyżej wartości standardowej. Również integrator, w zmodyfikowanej wersji, ma większą szybkość działania bez konieczności podwyższania napięcia zasilającego. Zaproponowana struktura w pełni różnicowa pozwala na uzyskanie rozdzielczości o 1 bit większej niż w strukturze niezbilansowanej. Dzięki opracowanemu algorytmowi działania układu kontrolnego przetwornika możliwa jest kompensacja opóźnień wprowadzanych przez komórki analogowe, a w szczególności komparator.

Autorzy: prof. dr hab. inż. Andrzej Handkiewicz Wydział Techniczny, Akademia im. Jakuba z Paradyża w Gorzowie Wielkopolskim, ul. Teatralna 25, 66-400 Gorzów Wielkopolski, dr inż. Mariusz Naumowicz Wydział Informatyki, Instytut Informatyki, Politechnika Poznańska, ul. Piotrowo 3A, 60-965 Poznań, dr inż. Marek Kropidłowski Wydział Informatyki, Instytut Informatyki, Politechnika Poznańska, ul. Piotrowo 3A, 60-965 Poznań, dr inż. Szymon Szczęsny Wydział Informatyki, Instytut Informatyki, Politechnika Poznańska, ul. Piotrowo 3A, 60-965 Poznań

LITERATURA

- [1] Massimo Brandolini, Young J. Shin, Karthik Raviprakash, Tao Wang, Rong Wu, Hemasundar Mohan Geddada, Yen-Jen Ko, Yen Ding, Chun-Sheng Huang, Wei-Ta Shih, Ming-Hung Hsieh,

- Acer Wei-Te Chou, Tianwei Li, Ayaskant Shrivastava, Dominique Yi-Chun Chen, Bryan Juo-Jung Hung, Giuseppe Cusmai, Jiangfeng Wu, Mo Maggie Zhang, Yuan Yao, Greg Unruh, Ardie Venes, Hung Sen Huang, and Chun-Ying Chen, „A 5 GS/s 150 mW 10 b SHA-Less Pipelined/SAR Hybrid ADC for Direct-Sampling Systems in 28 nm CMOS”, IEEE J. of Solid-State Circuits, Vol. 50, No. 12, pp. 2922-2934, Dec. 2015
- [2] Suszyński R., „Aspekty projektowania analogowo-cyfrowych przetworników CMOS trybu prądowego”, monografia nr 291, Politechnika Koszalińska 2015, ISBN 978-83-7365-377-1
- [3] Hyun H. Boo, Duane S. Boning, Hae-Seung Lee, „A 12b 250 MS/s Pipelined ADC With Virtual Ground Reference Buffers”, IEEE J. of Solid-State Circuits, Vol. 50, No. 12, pp. 2912-2921, Dec. 2015
- [4] Sang-Soo Lee, Rajesh H. Zele, David J. Allstot, Guojin Liang, „A Continuous-Time Current-Mode Integrator”, IEEE Transactions on Circuits and Systems, VOL. 38, NO. 10, pp. 1236-1238, Oct. 1991
- [5] Handkiewicz A., S. Szczęsny, M. Kropidłowski, „Over rail-to-rail fully differential voltage-to-current converters for nm scale CMOS technology”, Analog Integrated Circuits and Signal Processing, DOI 10.1007/s10470-017-1071-7, published online: 6 Nov. 2017
- [6] Andrzej Handkiewicz, Piotr Katarzyński, Szymon Szczęsny, Mariusz Naumowicz, Michał Melosik, Paweł Śniatała, VHDL-AMS in switched-current analog filter pair design based on a gyrator-capacitor prototype circuit, International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, vol. 27, Issue 2, pp. 268-281, 201