

Jednofazowy energetyczny filtr aktywny z zasobnikiem energii do kompensacji wahań mocy czynnej w linii zasilającej - badania HIL z wykorzystaniem symulatora czasu rzeczywistego RTS

Streszczenie. W artykule przedstawiono koncepcję filtra aktywnego z zasobnikiem energii przystosowanego do kompensacji chwilowych dużych obciążeń mocą czynną i bierną o nieciągłym charakterze jej poboru (np. zgrzewarek punktowych). Zadaniem układu, oprócz typowych możliwości filtracyjnych jest również realizacja ciągłości poboru energii z linii zasilającej - ograniczenie wahań mocy czynnej. Artykuł omawia algorytm sterowania układem, opracowany za pomocą programu Matlab & Simulink, który następnie automatycznie przeniesiono ze środowiska symulacyjnego na zrealizowany na potrzeby eksperymentu układ sterownika DSP. Skuteczność przeprowadzonego procesu programowania potwierdzono w wyniku testów HIL, na stanowisku symulatora czasu rzeczywistego RTS.

Abstract. This paper presents a novel active power filter equipped with an energy storage system. Solution can be used for compensation of single-phase, high active and reactive momentary power loads. Characterized by non-periodic power flow (e.g. spot-welders). Apart from typical filtration capabilities, the device is responsible for continuous energy flow from the mains and reduction of active power fluctuations. The article provides comprehensive description of control algorithm, developed in Matlab & Simulink environment, which was automatically transferred from the simulation model to the DSP controller - especially developed for this purpose. The effectiveness of the programming process was confirmed during HIL tests, carried out on real time simulator RTS. (Single-phase active filter with an energy storage system used for compensation of active power fluctuations – HIL tests on real time simulator RTS).

Słowa kluczowe: filtr aktywny, wahania mocy czynnej, zgrzewarka punktowa, DSP, HIL, RTS.

Keywords: active power filter, active power fluctuations, spot welder, DSP, HIL, RTS.

Wstęp

Głównym zadaniem współczesnej energoelektroniki jest poprawa jakości energii elektrycznej. Do działań tych należy również zaliczyć ograniczenie mocy aparatury dystrybucyjnej. Zadanie to może być realizowane przez kompensatory mocy biernej oraz energetyczne filtry aktywne [3], kompensujące składową nieaktywną prądu wg definicji S. Fryzego [4], [5], lub chwilowej mocy biernej wg H. Akagi [6], [7].

Wykorzystanie filtracji aktywnej (w porównaniu z filtracją pasywną LC) eliminuje zjawiska związane z możliwością wystąpienia rezonansu, jak również problemy wynikające z konieczności dostarczania do częstotliwości filtrowanych harmonicznych [8].

Należy zauważyć, iż dla odbiorników o pracy nieciągłej, w których czas pracy urządzenia w odniesieniu do czasu spoczynkowego jest relatywnie krótki [9], instalacja zasilająca musi być zaprojektowana dla obciążeń szczytowych, a moc zwarciova w punkcie przyłączenia musi być odpowiednio duża. Zastosowanie filtra aktywnego połączonego z dodatkowym zasobnikiem energii, magazynującym energię przy braku obciążenia, oraz wspomagającym linię zasilającą podczas pracy obciążenia umożliwia radykalne zmniejszenie szczytowej wartości mocy, a tym samym wymagań stawianych instalacji zasilającej.

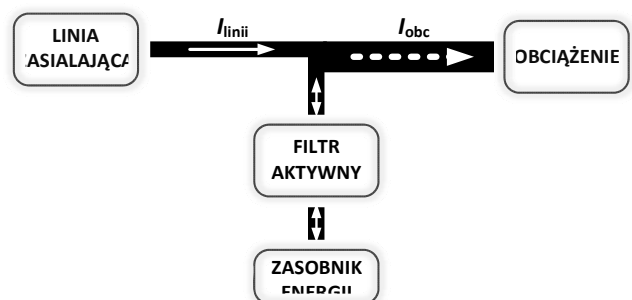
Działania układu zilustrowano na rys. 1. Układ dołączony do linii zasilającej, jest złożony z filtra aktywnego, zasobnika energii oraz niespokojnego obciążenia, załączanego w nieregularnych odstępach czasowych. Na rysunku zaznaczono również charakter prądu linii zasilającej (I_{linii}) oraz prąd odbiornika (I_{obc}).

Połączenia między elementami symbolizują drogi przepływu energii, realizowane przez odpowiednie funkcje układu, a naniesione strzałki oznaczają możliwe kierunki oraz sposób jej przepływu. Pogrubione połączenie z obciążeniem symbolizuje wymagania stawiane aparaturze

dystrybucyjnej, w celu sprostania tak znacznym przepływom generowanym przez obciążenie [1].

Zadaniem układu jest utrzymanie poboru energii przy ciągłym przepływie prądu I_{linii} , o wartości skutecznej wynikającej z energii dostarczanej w analizowanym przedziale czasu (stałej mocy), a w konsekwencji - wartości mocy wielokrotnie mniejszej niż chwilowo wymuszanej przez nieregularnie załączane obciążenie. Urządzenie umożliwia pobieranie energii przy mocy zbliżonej do jej średniej wartości w przyjętym przedziale czasu, lecz przy minimalnych jej wahańach.

W układzie zaprezentowanym na rys.1 energia jest dostarczana do obciążenia z linii oraz zasobnika dołączonego do filtra aktywnego. Obniża to maksymalną moc od strony linii zasilającej, co w konsekwencji pozwala zaprojektować linię zasilającą na mniejsze prądy robocze [1], [2].



Rys.1. Schemat ilustrujący zasadę działania układu filtra aktywnego z dodatkowym zasobnikiem energii [1]

Poboru energii z linii zasilającej w sposób ciągły, realizowany przez układ oznacza konieczność magazynowania energii w czasie przerw w pracy obciążenia oraz jej zwracanie gdy obciążenie jest załączone. Działanie takie umożliwia redukcję szczytowej

wartości energii pobieranej z linii, kosztem energii uprzednio zgromadzonej.

Zakładając, iż czas pracy odbiornika jest wielokrotnie krótszy od jego czasu spoczynkowego, dobrana w odpowiedni sposób skuteczna wartość prądu sinusoidalnego, o charakterze ciągłym i prawie stałym w czasie, umożliwia kompensację okresowo załączanego obciążenia, o wielokrotnie większej wartości [1], [2].

Zagadnienie kompensacji wahań - uderów mocy czynnej jest zjawiskiem bardzo złożonym, ze względu na potrzebę magazynowania energii [10], [11], [12], [13]. Opracowany układ sterowania i regulacji musi umożliwiać wyznaczenie takiej wartości prądu linii zasilającej, aby uzupełnić energię zgromadzoną w magazynie (w czasie gdy odbiornik nie pracuje) i jednocześnie, aby wartość zmagazynowanej energii była wystarczająca do skompensowania udarowego zapotrzebowania na moc odbiornika w trakcie jego kolejnego załączenia. Algorytm wyznaczenia wartości prądu linii musi uwzględniać możliwe zmiany w cyklu pracy kompensowanego odbiornika, np. zmianę czasu przerw i pracy.

Jako przykład kompensowanego i filtrowanego obiektu, dla którego dodatkowo będzie realizowane ograniczenie wahań mocy czynnej, wybrano jednofazową zgrzewarkę punktową z tyrystorowym regulatorem prądu, pracującą ze zmiennym czasem przerw.

Urządzenia tego typu wymuszając przepływ przez linie prądów okształconych o dużej wartości składowej biernej, generującej spadki napięcia na reaktancji linii zasilającej. Zmniejszeniu również ulega moc czynna odbiorników dołączonych do tego samego węzła zasilającego (także zgrzewarki), co w konsekwencji niekorzystnie wpływa na efekt jej pracy (jakość zgrzewania).

Obecnie do niesymetrycznych i nieliniowych odbiorników o cyklicznym charakterze pracy, dołączane są kompensatory mocy biernej lub filtry aktywne [14], [15], [16]. Urządzenia te umożliwiają redukcję spadków napięć na linii zasilającej oraz redukcję harmonicznych prądu, jednak nie mają one wpływu na ograniczenie szczytowych wartości prądu linii i transformatora zasilającego, wynikających z uderów mocy czynnej.

Wyposażenie energoelektronicznego, równoległego filtru aktywnego w zasobnik o dużej gęstości gromadzonej energii z możliwością szybkiego jej oddania (układ o małej impedancji, przez który mogą przepływać prądy o dużej wartości) pozwala na ograniczenie negatywnego oddziaływania niespokojnych odbiorników na linię zasilającą. Umożliwia również uzyskanie przepływu prądu współfazowego z napięciem oraz ograniczenie zawartości harmonicznych prądu. Rozbudowując algorytm sterowania filtru aktywnego o funkcję pozwalającą na zwrot energii z zasobnika do niespokojnego odbiornika w czasie jego pracy oraz uzupełnienie energii magazynu, gdy odbiornik ten nie pracuje, umożliwia uzyskanie przepływu przez linię zasilającą prądu o stosunkowo małej (w odniesieniu do wartości prądu odbiornika) oraz stałej lub o niewielkich zmianach wartości (w przedziale kilkadziesiąt cykli pracy kompensowanego odbiornika).

Artykuł przedstawia opracowany, algorytm oraz metodę sterowania przekształtnikiem energoelektronicznym (jednofazowym energetycznym filtrem aktywnym) wyposażonym w magazyn energii (przekształtnik DC/DC), który znacząco ogranicza udary mocy czynnej oraz niekorzystne oddziaływanie tego rodzaju odbiorników na linię zasilającą.

Opracowany i przetestowany w środowisku symulacyjnym Matlab & Simulink układ sterowania został bezpośrednio przeniesiony na docelowy układ sterownika DSP. Poprawność tak zaprogramowanego sterownika

zweryfikowano podczas badań HIL (Hardware-in-the-Loop) na stanowisku symulatora czasu rzeczywistego RTS. Przedstawione w artykule rezultaty potwierdzają wysoką efektywność zaproponowanego sposobu generacji kodu, który wymiennie uprościł proces prototypowania sterowania.

Symulacje typu HIL są techniką wykorzystywaną do rozwoju oraz testowania najbardziej złożonych strategii kontroli, zabezpieczeń oraz systemów monitorowania. Wzrost zainteresowania technologią HIL jest wynikiem dwóch głównych czynników, które obecnie wpływają na rozwój produktu we wszystkich branżach. Należy do nich zaliczyć: czas wejścia na rynek oraz złożoność systemu.

Testowanie systemów sterowania było tradycyjnie przeprowadzane bezpośrednio na sprzęcie fizycznym - fabryce lub na stanowisku badawczym w laboratorium. Praktyka ta może być jednak bardzo kosztowna, nieefektywna oraz potencjalnie niebezpieczna. Symulacje HIL stanowią doskonałą alternatywę dla tradycyjnych metod testowania.

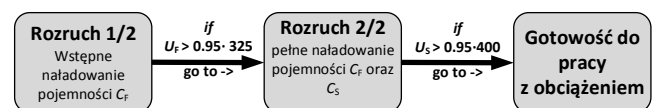
Podczas badań typu HIL, fizyczna instalacja jest zastępowana przez precyzyjnie równoważny model komputerowy (matematyczny odpowiednik), działający w czasie rzeczywistym na symulatorze (RTS) wyposażonym w wejścia i wyjścia (In / Out). Stanowią one interfejs między platformą symulującą sterowane urządzenie, a rzeczywistą platformą z zaimplementowanymi algorytmami - sterownikiem. W ten sposób symulator HIL może dokładnie odtwarzać instalację i jej dynamikę, wraz z czujnikami i elementami wykonawczymi, zapewniając kompleksowe testowanie w pętli zamkniętej bez potrzeby testowania na rzeczywistych systemach [17].

Wykorzystanie symulacji HIL zmniejsza niedociągnięcia tradycyjnych metod testowania sterowania. Redukuje ryzyko, koszty związane z wykonywaniem prototypów oraz czas wymagany do testowania złożonych systemów wbudowanych. Symulacje HIL stały się standardem w wielu dziedzinach przemysłu na całym świecie m.in. lotniczym, samochodowym, energetycznym.

Przedstawione w artykule wyniki badań bazują na rezultatach i koncepcji działania układu szczegółowo opisanej w artykule [1], [2]. A ich celem jest fizyczna implementacja układu filtru aktywnego z zasobnikiem.

Opracowana koncepcja sterowania pracą układu

Opracowany model sterowania układem uwzględnia realizację następujących stanów pracy, przedstawionych za pomocą grafu na rys. 2.



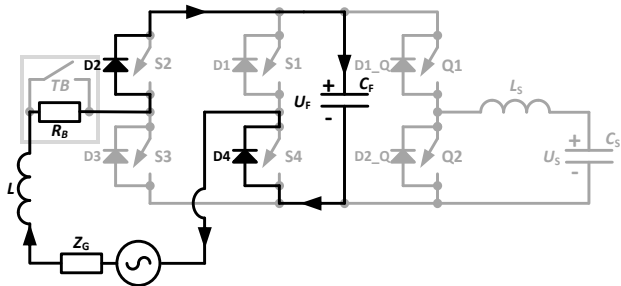
Rys. 2. Graf stanów występujących w opracowanym modelu

Pierwszy ze stanów - „Rozruch 1/2” polega na wstępnym naładowaniu pojemności C_F . Ładowanie kondensatora następuje poprzez diody znajdujących się strukturze tranzystorów IGBT. Proces dla jednej z półfal napięcia linii zasilającej zilustrowano na rys. 3.

Po osiągnięciu przez napięcie U_F wartości ustalonej następuje zwarcie rezystora R_B przez przełącznik bocznikujący TB. W przypadku, gdy napięcie linii zasilającej nie jest okształcone, napięcie na kondensatorze będzie wynosić ok. 325 V.

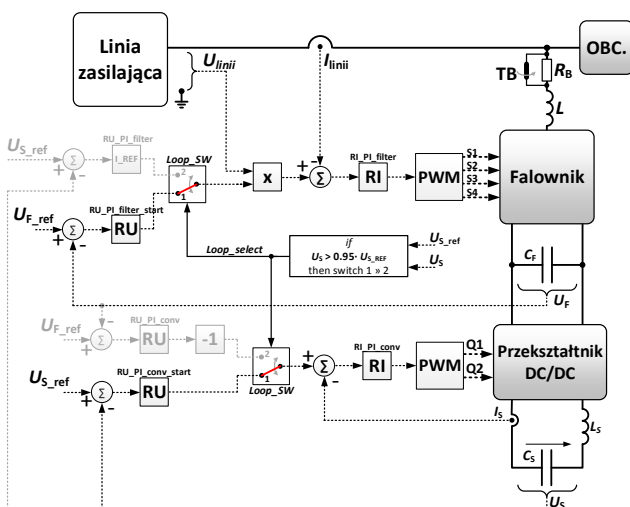
W trakcie drugiego etapu „Rozruch 2/2” (rys. 2) następuje zwolnienie blokady impulsów sterujących tranzystorami w filtrze i przekształtniku oraz aktywacja układu sterowania (przedstawionego na rys. 4),

zrealizowanego za pomocą regulatorów proporcjonalno - całkujących (PI) w kaskadowej strukturze regulacji.



Rys. 3. Realizacja pierwszej (1/2) z faz rozruchu w układzie; stan przewodzenia diod dla jednej z półfal napięcia linii zasilającej

Zadaniem pierwszej struktury regulacji (złożonej z $RU_PI_filter_start$ oraz RI_PI_filter , rys. 4) jest stabilizacja napięcia na kondensatorze filtra C_F na poziomie referencyjnym 500 V. Jest to realizowane poprzez wypracowanie odpowiedniej referencji prądu linii zasilającej. Układ filtru zachowuje się w trakcie tej fazy jak prostownik o sinusoidalnym prądzie źródła [18], [19], [20]. Jednocześnie z pracą układu regulacji filtru następuje aktywacja układu sterowania i regulacji przekształtnika DC/DC (złożonego z $RU_PI_conv_start$, rys. 4). Zadaniem którego jest stabilizacja napięcia wyjściowego przekształtnika U_S na poziomie referencyjnym, wynoszącym 400 V. Ładowanie kondensatora C_S przez przekształtnik odbywa się kosztem energii zgromadzonej w kondensatorze filtra C_F (tryb pracy buck przekształtnika). Powoduje to obniżenie napięcia U_F , które jest kompensowane przez układ regulacji filtru, odpowiednio zwiększający wartość realizowanej referencji prądu linii zasilającej.



Rys. 4. Realizacja drugiej (2/2) z faz rozruchu w układzie - kolor czarny; kolorem szarym oznaczono docelowy układ sterowania i regulacji wykorzystywany podczas pracy normalnej

Aktywacja docelowego układu sterowania, oznaczonego kolorem szarym na rys. 4) następuje w chwili, gdy wartość napięcia U_S przekroczy 0.95 swojej wartości referencyjnej ($U_S > 380$ V). Układ osiąga wtedy „Gotowość do pracy z obciążeniem” (rys. 2). Wypracowana wówczas przez układ, wartość prądu linii zasilającej gwarantuje podtrzymanie zadanych poziomów napięcia na kondensatorach znajdujących się w układzie.

Układy sterowania filtrem i przekształtnikiem, przedstawione na rys. 4 wykorzystują w swojej wewnętrznej pętli sterowania tylko jeden regulator prądu (RI_PI_filter oraz RI_PI_conv). Jest on wykorzystywany (aktywny) w

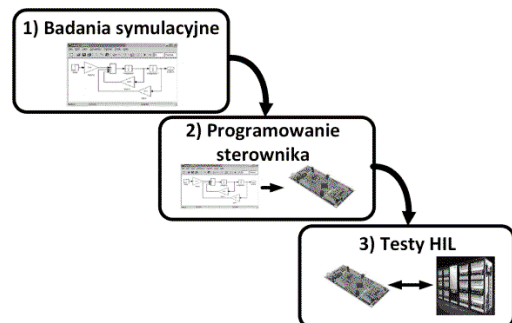
czasie fazy rozruchowej, a następnie podczas pracy normalnej. Zmianie ulegają jedynie struktury zewnętrznych pętli - napięciowych. Odbywa się to za pomocą przełączników $Loop_SW$ wyzwalanych sygnałem $Loop_Select$ w chwili gdy $U_S > 380$ V ($U_S > 0.95U_{S_ref}$).

Przedstawiony sposób rozruchu układu wymusza zastosowanie jedynie dwóch dodatkowych regulatorów PI, realizujących aktywną kontrolę poziomów napięć oraz ograniczenie prądów płynących w trakcie rozruchu. Rezystor rozruchowy R_B wykorzystywany jest tylko w trakcie pierwszej fazy rozruchu, przez co minimalizowane są straty energii.

Wykorzystana metodologia programowania sterownika

Szczegółowo omówione w [1], [2], wyniki badań symulacyjnych przeprowadzonych w środowisku Matlab & Simulink pozwoliły na wstępne sprawdzenie poprawności zaproponowanych algorytmów i układów sterownia oraz dokonanie niezbędnych korekt algorytmów. Umożliwiając optymalizację dobranych parametrów elementów pasywnych: dławików ze względu na oczekiwaną wartość tętnień prądu oraz znajdujących się w układzie kondensatorów, których pojemność powinna pozwalać na poprawne zachowanie się kompensatora przy zmianie parametrów odbiornika np. zmianie wartości szczytowej prądu odbiornika, zmianie długości przerwy pomiędzy cyklami pracy, czy zmianie czasu pracy (w przyjętym zakresie wynikającym ze specyfikacji pracy odbiornika).

Następnie, opracowany układ sterownia został przeniesiony do docelowego układu sterowania DSP. Wykorzystano w tym celu automatyczną generację kodu „Model Based Design” programując układ DSP bezpośrednio z środowiska Matlab & Simulink. Prace nad układem sterownika przeprowadzono zgodnie z procedurą przedstawioną na rys. 5.



Rys. 5. Metodyka wykorzystana podczas programowania i testów sterownika układu

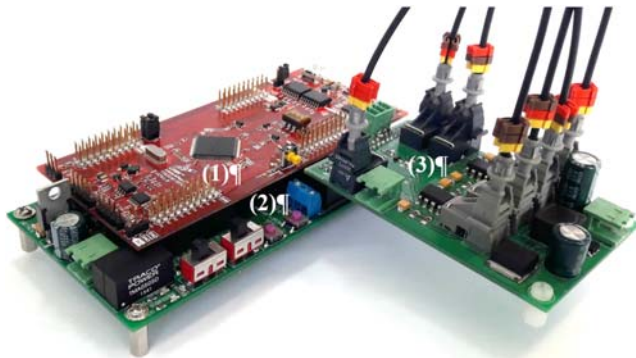
Tak zaprogramowany układ sterownika został przetestowany na symulatorze czasu rzeczywistego Opal Phenix RTS (ang. Real Time Simulator) [21].

Sterownik kontrolował pracę układu filtru z zasobnikiem, zaimplementowanym w strukturze układu RTS (tzw. Hardware in the loop). Istotą systemów symulacji HIL jest zastępowanie rzeczywistych urządzeń platformą symulacyjną wyposażoną w interfejs umożliwiający połączenie symulatora z innymi fizycznymi urządzeniami [22].

Opracowany układ sterownika i pomiarów

Układ sterowania bazuje na zestawie ewaluacyjnym DSP z rodziny TI C2000 Delfino LaunchPad [23], przedstawionym na rys. 6. Struktura układu TI wymagała podłączenia go do opracowanej płytki rozszerzającej, zadaniem której jest kondycjonowanie sygnałów pomiarowych dostarczanych na wejście przetworników A/D w strukturze procesora DSP. Zrealizowany układ zapewnia

również odpowiednie poziomy napięć niezbędnych do zasilania układu i przekaźników wyjściowych. Płytkę posiada szereg przełączników, przycisków oraz diod, umożliwiających wybór zaprogramowanego trybu pracy oraz sygnalizację realizowanych stanów pracy.



Rys. 6. Opracowany układ sterownika filtra: (1)- układ DSP C2000 TI, (2)- układ rozszerzający z torem kondycjonowania sygnałów pomiarowych, (3)- układ interfejsu światłowodowego do komunikacji z modulem mocy IPM

Do układu istnieje możliwość dołączenia modułu komunikacji światłowodowej (gwarantującego odpowiedni poziom separacji galwanicznej). Jest on złożony z nadajników umożliwiających sterowanie obwodem mocy IPM (komunikacja z jego interfejsem) oraz odbiorników, które mogą zostać wykorzystane do odbioru informacji o występujących w układzie błędach.

W układzie sterowania i regulacji dokonuje się pomiaru i przetwarzania następujących sygnałów, wykorzystywanych następnie przez układ sterownika:

- napięcia linii zasilającej U_{linii} (sygnał bipolarny);
- prądu linii zasilającej I_{linii} (sygnał bipolarny);
- napięcia na kondensatorze filtra U_F (sygnał unipolarny);
- prądu w obwodzie przekształtnika I_S (sygnał bipolarny);
- napięcia na kondensatorze przekształtnika U_S (sygnał unipolarny).

Kondycjonowanie sygnałów pomiarowych - dopasowywanie ich poziomów do poziomu akceptowanego przez przetwornik A/D (0÷3 V) odbywa się za pomocą specjalnie w tym celu zaprojektowanych obwodów wykorzystujących wzmacniacze operacyjne MAX4351 [24], zasilanych napięciem symetrycznym ± 5 V.

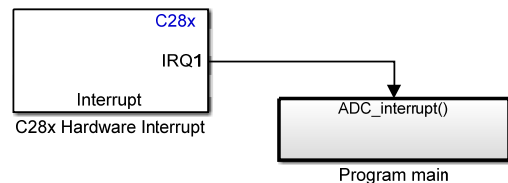
Algorytm sterowania zaimplementowany w układzie sterownika

Układ wybranego sterownika DSP (ang. Digital Signal Processor) zaprogramowano bezpośrednio ze środowiska Matlab & Simulink, bez konieczności szczegółowej znajomości komend w języku obsługiwanym przez procesor - „Język C”. Opracowany w trakcie badań symulacyjnych algorytm, po dokonaniu niewielkich modyfikacji został bezpośrednio wykorzystany do zaprogramowania układu DSP. Przyspieszyło to proces programowania, a także ograniczyło błędy, które mogły powstać podczas migracji algorytmu (z poziomu symulacji do formy akceptowanej przez docelowy sterownik). Generacja kodu była możliwa poprzez wykorzystanie odpowiedniej z bibliotek przeznaczonej do współpracy zastosowanym typem procesora rodziny C2000 [24].

Niewątpliwą zaletą wybranego rozwiązania jest również możliwość wstępnej weryfikacji poprawności działania zaprogramowanego układu. Odbywa się to za pomocą dostępnej w Simulink'u opcji „External simulation”. Sygnały w dowolnym punkcie w układzie mogą być obserwowane na ekranie komputera w czasie rzeczywistym za pomocą bloku „Scope”. Opcja ta pozwala na zmianę parametrów

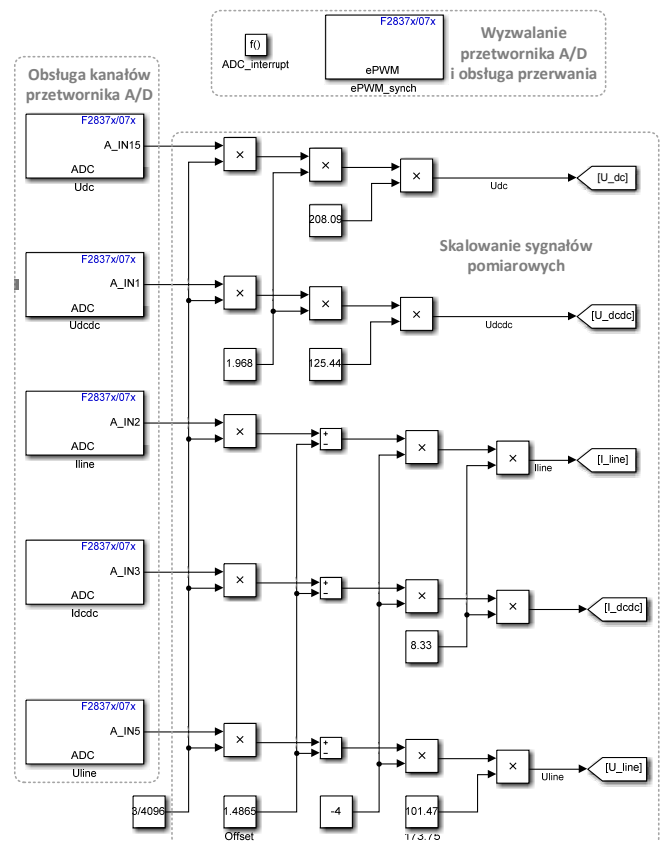
układu np. nastaw wykorzystywanych regulatorów PI, co jest natychmiastowo uwzględniane przez układ, bez konieczności powtórnej kompilacji programu.

Schemat blokowy układu sterowania zaimplementowany w układzie DSP przedstawiono na rys. 7. Program (główny algorytm umieszczony w bloku Program main) wykonuje się w obsłudze przerwania generowanego przez przetwornik A/D (C28x Hardware Interrupt) w chwili, gdy próbkowane dane są gotowe do odczytu. Zawartość bloku Program main zaprezentowano na rysunkach od 8 do 11.



Rys. 7. Struktura sterowania zaimplementowanego w układzie DSP

Przetwarzanie odpowiedniego z kanałów, umożliwiające umieszczone w układzie odpowiednie bloki, odpowiedzialne za komunikację z przetwornikiem A/D (rys. 8). Próbkowane sygnały podlegają następnie odpowiedniemu skalowaniu (odwrotność działań wykonanych w analogowych torach kondycjonowania). Wyzwalanie przetwornika A/D (generacja sygnałów SOC, ang. Start Of Conversion) odbywa się synchronicznie z pracą nadrzędnego bloku ePWM_synch.

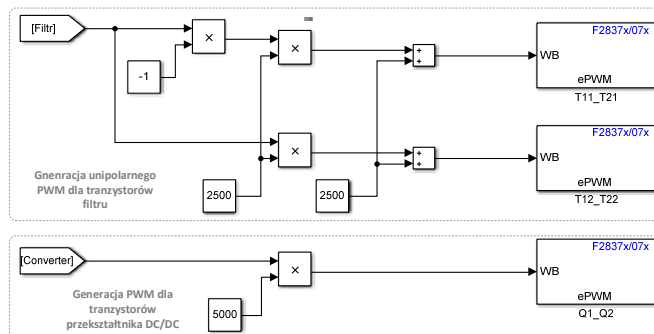


Rys. 8. Układ odpowiedzialny za próbkowanie (A/D) i kondycjonowanie sygnałów wejściowych synchronicznie z wzorcowym sygnałem wyzwalającym

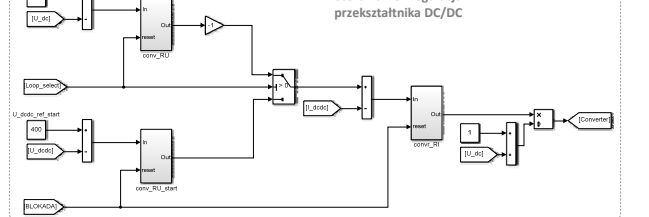
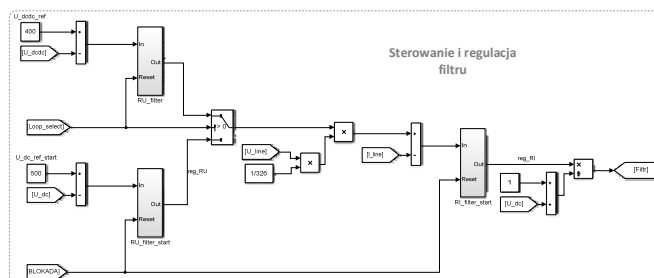
Sygnały sterujące pracą tranzystorów w układzie (rys. 9), generowane są przez odpowiednie bloki ePWM (wbudowane w procesorze peryferia odpowiedzialne za realizację sygnałów PWM [26] – biblioteka dostarczona przez producenta). Każdy z bloków odpowiada za generację

dwóch sygnałów dla jednej z gałęzi łączników w układzie (dwie w strukturze falownika oraz jedna w strukturze przekształtnika DC/DC). Wyjścia są wzajemnie zanegowane, a generowane sygnały PWM uwzględniają przewidziane czasy martwe zboczy opadających lub narastających. Użyte bloki ePWM pracują synchronicznie względem nadrzędnego bloku ePWM_synch.

Na rys. 10 przedstawiono wykorzystany układ sterowania, opracowany na podstawie rys. 4 oraz [1], [2]. W porównaniu z układem sterowania używanym podczas badań symulacyjnych, nie ma potrzeby wyzwalania pracy poszczególnych regulatorów sygnałem SOC, ponieważ są one umieszczone w podsystemie „Program main” (rys. 7), którego cała zawartość jest wykonywana w obsłudze przerwania generowanego przez przetwornik A/D.



Rys. 9. Układ generacji PWM na podstawie sygnałów wypracowanych przez układ sterowania i regulacji



Rys. 10. Układ sterowania i regulacji filtru oraz przekształtnika DC/DC

Za prawidłową pracę urządzenia odpowiada układ, którego schemat przedstawiono na rys. 11. Jego zadaniem jest przeprowadzenie rozruchu układu po zadaniu startu (START_switch_GPIO_64) oraz równoległa z nim kontrola poziomów napięć i prądów w układzie. Ogólną strukturę realizowanego algorytmu przedstawiono na rys. 12.

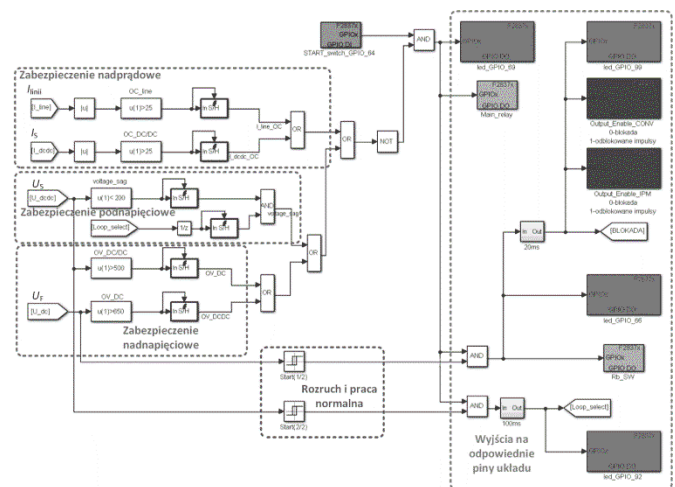
Funkcje zabezpieczeniowe realizowane przez układ z rys. 12, można podzielić na trzy grupy:

- nadprądowe - zadaniem których jest wykrycie przekroczenia dopuszczalnej wartości maksymalnej mierzonych prądów I_{linii} oraz I_S . Zabezpieczenie zadziała jeżeli $|I_{linii}| > 25$ A lub $|I_S| > 25$ A.
- podnapięciowe - zadaniem którego jest wykrycie obniżenia wartości napięcia przekształtnika U_S poniżej dopuszczalnej wartości gwarantującej poprawną stabilizację

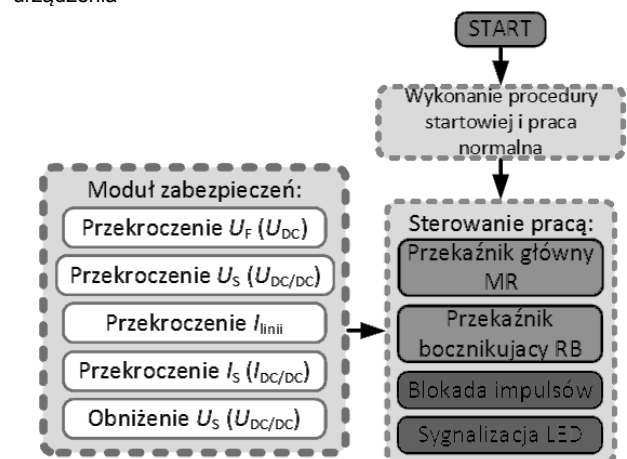
napięcia na kondensatorze filtru C_F w trakcie pracy normalnej. Zabezpieczenie aktywuje się jeśli w trakcie pracy normalnej $U_S < 200$ V.

- nadnapięciowe - zadaniem których jest wykrycie przekroczenia dopuszczalnej wartości napięć U_F lub U_S . Sytuacja taka może wystąpić m.in. w przypadku utraty stabilności przez układ sterowania, spowodowane np. zbyt częstym załączaniem obciążenia (minimalny odstęp pomiędzy kolejnymi załączeniami obciążenia nie mniejszy niż 5 s). Zabezpieczenie zadziała jeżeli $U_F > 650$ V lub $U_S > 500$ V.

W wyniku zadziałania któregoś z omówionych zabezpieczeń następuje wyłączenie układu poprzez blokadę impulsów sterujących pracą tranzystorów oraz odłączenie układu od linii zasilającej, za pomocą przekaźnika Main_relay. Stan awaryjny jest sygnalizowany przez diody LED, a powtórne uruchomienie układu jest możliwe jedynie po zresetowaniu urządzenia.



Rys. 11. Układ zabezpieczeń i rozruchu, kontrolujący pracę urządzenia

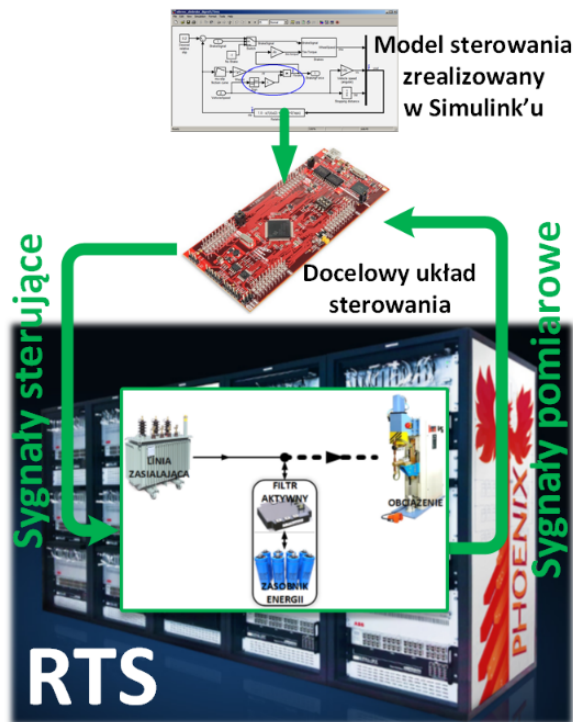


Rys. 12. Graf obrazujący algorytm realizowany przez układ zabezpieczeń i rozruchu z rys. 10

Testy HIL opracowanego sterownika z wykorzystaniem z RTS

Testy funkcjonalne zaprogramowanego układu sterownika zostały wykonane na symulatorze czasu rzeczywistego Opal Phenix RTS (ang. Real Time Simulator) [20]. System zbudowany jest z następujących modułów: jednostka główna OP5600 z 12 rdzeniami taktowanych zegarem 3.46 GHz, Xilinx FPGA i systemem Real Time Linux, dwa moduły rozszerzeń PCI oraz 12 modułów rozszerzeń In/Out (1600 wejść cyfrowych, 832 wyjść cyfrowych i 392 wyjścia analogowe) [27].

Sterownik, kontrolował pracę filtra z zasobnikiem, emulowanym w strukturze układu, zgodnie z procedurą przedstawioną na rys. 13.



Rys. 13. Schemat poglądowy układu kompensatora wahań mocy czynnej emulowanego w strukturze RTS - sterowanego za pomocą zrealizowanego sterownika

Wykorzystanie symulatora HIL umożliwiło wstępną weryfikację poprawności działania sterownika - opracowanych algorytmów, bez konieczności jego bezpośredniej współpracy z docelowym obiektem (zwłaszcza linią zasilającą). Pozwoliło to na wyeliminowanie, powstałych na etapie badań symulacyjnych niedociągnięć, co w razie ich wystąpienia, szczególnie podczas pierwszego uruchamiania mogłoby doprowadzić do uszkodzenia układu.

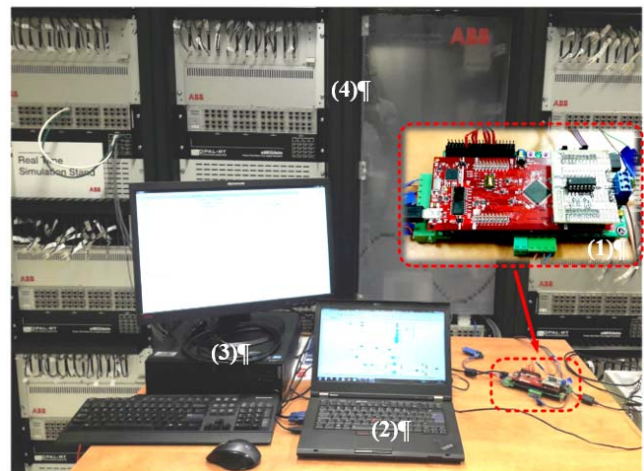
Algorytm sterowania został sprawdzony w szerokim horyzoncie czasowym, koniecznym ze względu na charakterystykę pracy opracowanego urządzenia. W trakcie symulacji z wykorzystaniem komputerów klasy PC, było to możliwe jedynie w ograniczonym zakresie, ze względu na wielokrotnie mniejszą dostępną pamięć, przy założonym kroku obliczeń (2 μ s). Zrealizowany sterownik, podczas testów na stanowisku laboratoryjnym RTS przedstawiono na rys. 14.

W trakcie badań sprawdzono wszystkie stany pracy urządzenia, realizowane przez opracowany sterownik. Komunikacja w czasie rzeczywistym między Simulink'iem a zaprogramowanym sterownikiem umożliwiła dokonanie niezbędnych korekt sprzętowych (zmian nastaw regulatorów), bez konieczności wielokrotnej kompilacji projektu, co na etapie prototypowania sterowania stanowi znaczące ułatwienie - przyspieszając prace z projektem.

Na rysunkach 15 do 17 zestawiono przebiegi uzyskane w trakcie symulacji komputerowych z odpowiadającymi im rezultatami wygenerowanymi na stanowisku RTS. W obu przypadkach można wyszczególnić tożsame etapy, które świadczą o prawidłowej implementacji i realizacji algorytmów przez sterownik.

Przebiegi obserwowano za pomocą oscyloskopu, w wyniku odpowiedniej konfiguracji wyjść D/A (cyfrowo/analogowych) dostępnych w strukturze RTS.

Krok, z jakim obliczany był model, zaimplementowany w strukturze RTS wynosił 5 μ s (200 kHz), a częstotliwość z jaką pracował badany sterownik odpowiednio 3 kHz.



Rys. 14. Testowanie funkcjonalności opracowanego sterownika na stanowisku laboratoryjnym RTS: (1)- badany sterownik; (2)- komputer odpowiedzialny za komunikację ze sterownikiem i korekcie algorytmu; (3)- komputer odpowiedzialny za komunikację z układem RTS i emulację systemu; (4)- układ RTS

Pierwszym z analizowanych stanów dynamicznych badanego układu był rozruch. Zarejestrowane podczas niego oscylogramy prądu linii zasilającej (I_{linii}), napięcia U_F , przedstawiono na rys. 15. Ładowanie pojemności w układzie przebiegało zgodnie z procedurą przedstawioną na rys. 2, a przebieg procesu oraz kształt przebiegów pokrywa się z rezultatami badań symulacyjnych [1].

W pierwszym kroku (rys. 15) ma miejsce załączenie układu oraz wstępne ładowanie pojemności filtra C_F . Po osiągnięciu przez napięcie U_F wartości 310 V, następuje zwarcie rezystora ograniczającego prąd ładowania R_B oraz doładowanie pojemności do wartości maksymalnej napięcia w linii.

Aktywacja układu sterownia i regulacji (rys. 15) odbywa się z opóźnieniem wynoszącym 20 ms. W tym czasie przełącznik, bocznikujący rezystor ładowania początkowego zostanie w pełni załączony. W trakcie tego kroku pojemność C_F zostaje doładowana do wartości referencyjnej 500 V. Preregulowanie wartości napięcia U_F , w początkowej fazie rozruchu nie przekracza 8% (40 V) wartości zadanej (500 V).

Równocześnie z ładowaniem pojemności filtra C_F rozpoczyna się dużo dłuższy proces ładowania pojemności przekształtnika C_S . Po przekroczeniu przez napięcie U_S wartości 380 V (spełnienie warunku $U_F = 500$ V oraz $U_S > 380$ V), następuje przełączanie struktury regulacji, rys. 4. Układ rozpoczyna pracę z niewielką wartością prądu gwarantującą podtrzymanie zadanych poziomów napięć. Możliwa jest już praca z obciążeniem (kompensacja jego wpływu na linie zasilającą). Pełną gotowość do pracy z obciążeniem układ osiąga już po około 1,4 s.

Przebiegi prądów i napięcia linii zasilającej podczas procesu zgrzewania przedstawiono na rys. 16. Badania przeprowadzone dla kąta opóźnienia załączenia tyrystorów $\alpha = 70^\circ$, przy załączeniu na 6 okresów napięcia linii zasilającej (6x20 ms).

Kolejnym z badanych stanów dynamicznych był wpływ załączania obciążenia - jednofazowej zgrzewarki punktowej na prąd linii zasilającej podczas działania układu filtru aktywnego z zasobnikiem. Przedstawiony na oscylogramach mechanizm rozkładu wartości maksymalnej prądu linii w czasie oraz charakter prądu (sinusoidalny

współfazy z napięciem), pokrywają się z wynikami badań symulacyjnych, a otrzymane rezultaty w pełni dowodzą poprawności zaimplementowanego algorytmu.

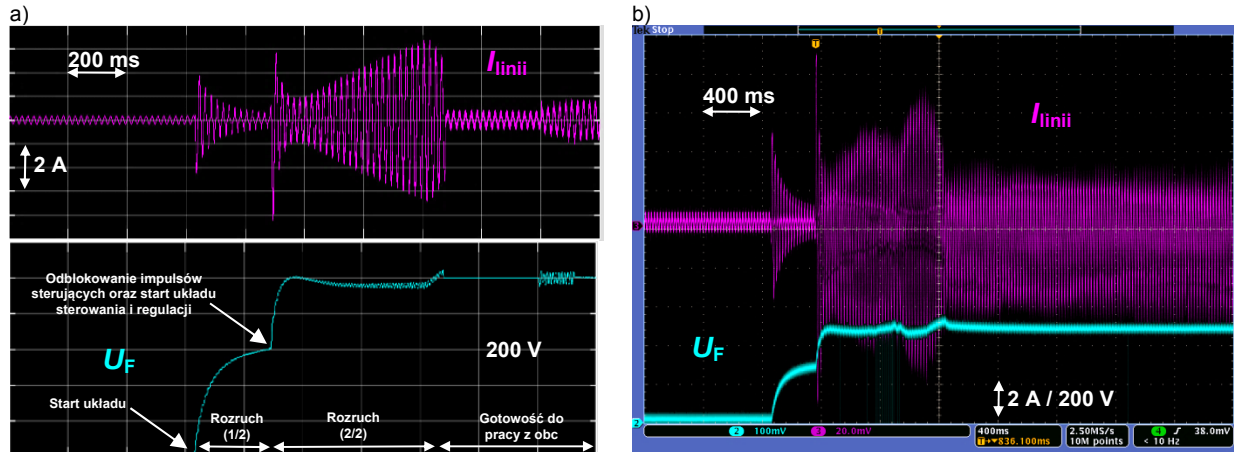
Podsumowanie

W pracy przedstawiono idee działania układu filtru aktywnego z dodatkowym zasobnikiem energii.

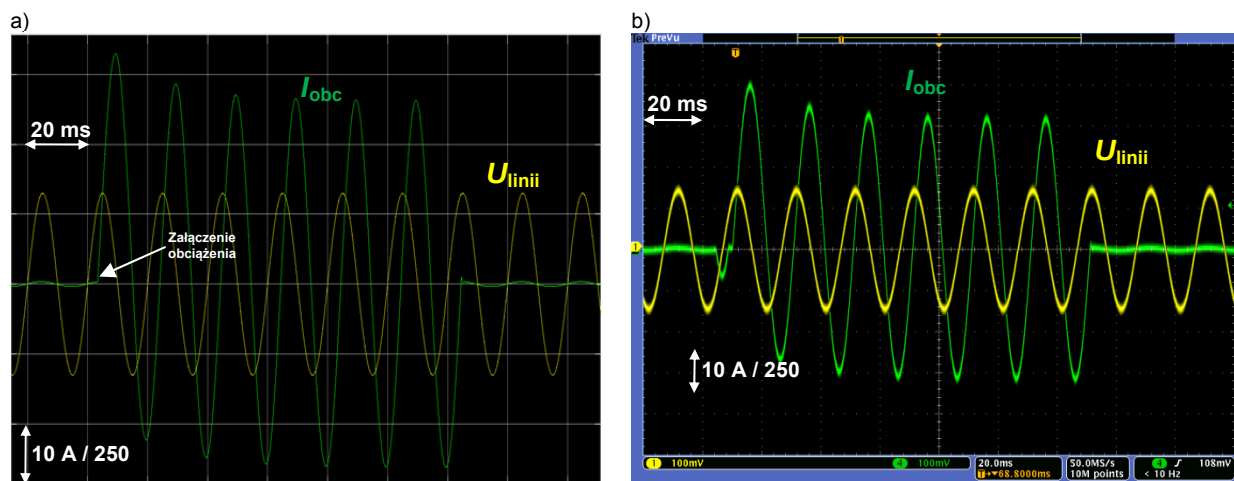
Przetestowany podczas badań symulacyjnych algorytm sterowania układem opracowany w środowisku Matlab &

Simulink został wykorzystany do bezpośredniego zaprogramowania układu sterownika. - wykorzystanego finalnie układu DSP Launchpad XL.

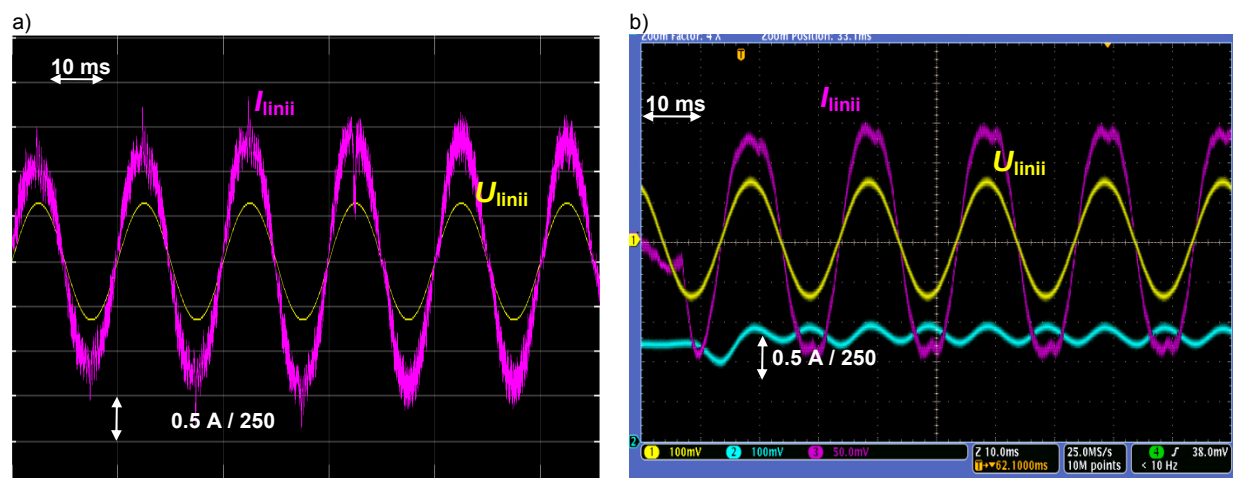
Główny nacisk podczas badań symulacyjnych, położono na jak najdokładniejsze odzwierciedlenie elementów układu, w szczególności sposobu działania sterowania układem, odzwierciedlającego rzeczywisty sterownik. Było szczególnie istotne, ze względu na wykorzystywaną w pracy automatyczną generację kodu.



Rys. 15. Rozruch układu - przebieg prądu linii zasilającej I_{LINII} oraz napięcia U_F w obwodzie pośredniczącym DC: a) symulacje komputerowe; b) symulacje na stanowisku RTS



Rys. 16. Przebiegi prądu obciążenia I_{obc} oraz napięcia linii zasilającej U_{linii} : a) symulacje komputerowe; b) symulacje na stanowisku RTS



Rys. 17. Przebiegi prądu I_{LINII} oraz napięcia U_{LINII} linii zasilającej podczas pracy układu i załączeniu obciążenia: a) symulacje komputerowe; b) symulacje na stanowisku RTS

Dodatkowo tak zaprogramowany sterownik, został przetestowany na stanowisku symulatora czasu rzeczywistego RTS. Umożliwiło to wstępną weryfikację poprawności algorytmów sterujących, korektę błędów, optymalizację nastaw regulatorów oraz test układu zabezpieczeń. Pozytywna weryfikacja pracy sterownika umożliwiła bezpieczne przejście do etapu prac na rzeczywistym stanowisku filtru aktywnego z zasobnikiem.

Podczas badań wykorzystano Stanowisko Symulatora Czasu Rzeczywistego RTS znajdujące się w Laboratorium Nowych Technologii w Elektroenergetyce, będące własnością Korporacyjne Centrum Badawcze ABB w Krakowie.

Autorzy: dr inż. Kacper Sowa, ABB Corporate Research Center, Starowiślna 13A, 31-038 Kraków, Poland, E-mail: kacper.sowa@pl.abb.com;

dr hab. inż. Marcin Baszyński, AGH Akademia Górniczo-Hutnicza, Katedra Energoelektroniki i Automatyki Systemów Przetwarzania Energii, Al. Mickiewicza 30, 31-038 Kraków, E-mail: mbaszyn@agh.edu.pl;

prof. dr hab. inż. Stanisław Piróg, Politechnika Rzeszowska, Katedra Energoelektroniki i Elektroenergetyki, Wincentego Pola 2, 35-959 Rzeszów, E-mail: pirog@prz.edu.pl

LITERATURA

- [1] Sowa K., Baszyński M., Piróg S., Jednofazowy energetyczny filtr aktywny z zasobnikiem energii do kompensacji wahań mocy czynnej w linii zasilającej, *Przegląd Elektrotechniczny*, vol. 93, no. 3, pp. 260-266, (2017)
- [2] Sowa K., Baszyński M., Piróg S., One phase active filter with energy storage for active power surge compensation in feed line, *Archives of Electrical Engineering*, vol. 65, no. 2, pp. 221–234, (2016)
- [3] Piróg S., Energoelektronika: układy o komutacji sieciowej i o komutacji twardej, *AGH Uczelniane Wydawnictwo Naukowo-Dydaktyczne*, (2006)
- [4] Bień A., Systemy pomiarowe w elektroenergetyce, *AGH Uczelniane Wydawnictwo Naukowo-Dydaktyczne*, (2013)
- [5] Czarnecki L. S., Moce w obwodach elektrycznych z niesinusoidalnymi przebiegami prądów i napięć, *Oficyna Wydawnicza Politechniki Warszawskiej*, (2005)
- [6] Akagi H., Kanazawa Y., Nabae A., Generalized theory of the instantaneous reactive power in three-phase circuits, *Proceeding. of the International Power Electron. Conference*, (JIEE IPEC), Tokyo/Japan, pp. 1375-1386, (1983)
- [7] Marcu M., Popescu F. G., Niculescu T., Pana L., Handra A. D., Simulation of power active filter using instantaneous reactive power theory, *16th International Conference on Harmonics and Quality of Power (ICHQP)*, Bucharest, pp. 581-585, (2014)
- [8] Beres R. N., Wang X., Liserre M., Blaabjerg F., Bak C. L., A Review of Passive Power Filters for Three-Phase Grid-Connected Voltage-Source Converters, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 1, pp. 54-69, (2016)
- [9] Praca zbiorowa, Poradnik inżyniera elektryka Tom 2, 3rd ed., *Wydawnictwo Naukowo-Techniczne*, (2009)
- [10] Alfonso-Gil J. C., Pérez E., Ariño C., Beltr H., Optimization Algorithm for Selective Compensation in a Shunt Active Power Filter, *IEEE Transactions on Industrial Electronics*, vol. 62, no. 6, pp. 3351-3361, (2015)
- [11] Araujo Ribeiro R. L., Azevedo C. C., Sousa R. M., A Robust Adaptive Control Strategy of Active Power Filters for Power-Factor Correction, Harmonic Compensation, and Balancing of Nonlinear Loads, *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 718-730, (2012)
- [12] Grabarek M., Strzelecki R., A novel approach to energy safety improvement in the marine power plants with active power surge compensator, *2nd Annual Southern Power Electronics Conference*, Auckland, pp. 1-6, (2016)
- [13] Strzelecki R., Grabarek M., Udary mocy czynnej w okrętowych sieciach zasilających, *VIII Konferencja Naukowo-Techniczna Innowacyjne Materiały i Technologie w Elektrotechnice*, Lubniewice, (2014)
- [14] Alcalá J., Cárdenas V., Miranda H., Pérez-Ramírez J., A three-phase back-to-back converter for reactive power compensation, current harmonic filtering and active power compensation, *Energy Conversion Congress and Exposition*, pp. 2371-2377, (2013)
- [15] Chiang H., Lin B., Yang K., Wu K., Hybrid Active Power Filter for power quality compensation, *Power Electronics and Drives Systems International Conference on*, vol. 2, pp. 949 - 954, (2005)
- [16] Lam C., Choi W., Wong M., Han Y., Adaptive DC-Link Voltage-Controlled Hybrid Active Power Filters for Reactive Power Compensation, *Power Electronics IEEE Transactions on*, vol. 27, pp. 1758-1772, (2012)
- [17] Bélanger J., Venne P., Paquin J.N., The what, where, and why https://www.opal-rt.com/wp-content/themes/enfold-opal/pdf/L00161_0436.pdf, January 2019
- [18] Baszyński M., A model of the single-phase multicell rectifier with sinusoidal source current using FPGA implementation, *Przegląd Elektrotechniczny*, vol. 85, no. 10, pp. 76-82, (2009)
- [19] Baszyński M., A model of the three-phase bridge rectifier with sinusoidal source current using FPGA *Przegląd Elektrotechniczny*, vol. 85, no. 3, pp. 36-41, (2009)
- [20] Billings K., Morey T., Switchmode Power Supply Handbook, 3rd ed., *McGraw-Hill Education*, (2011)
- [21] Opal-RT Technologies, <http://www.opal-rt.com/> December 2018
- [22] Szkolny S., Małyszko O., Symulator typu hardware-in-the-loop do testowania generatorów turbin wiatrowych, *Zeszyty Problemowe – Maszyny Elektryczne*, vol. 103, no. 3, (2014)
- [23] Texas Instruments, <http://www.ti.com/tool/LAUNCHXL-F28377S/>, December 2018
- [24] Maxim Integrated, Ultra-Small, Low-Cost, 210MHz, Dual-Supply Op Amps with Rail-to-Rail Outputs, (2005)
- [25] Texas Instruments, TMS320F2837xS Delfino Microcontrollers Technical Reference Manual, (2016)
- [26] Texas Instruments, TMS320x2833x, 2823x Enhanced Pulse Width Modulator (ePWM) module - reference guide, (2009)
- [27] Koska K., Blaszczyk P., Klimczak P., Halat P., Jez, R., Branch energy balancing of double wye DC-DC Modular Multilevel Converter, *19th European Conference on Power Electronics and Applications*, (2017)