

doi:10.15199/48.2020.12.22

# Pomiar krótkich odcinków czasu z wykorzystaniem przetwornika czas-cyfra w architekturze Verniera z oscylatorami pierścieniowymi w technologii CMOS 28 nm

**Streszczenie.** Artykuł opisuje projekt systemu do pomiaru krótkich odcinków czasu dla układów o architekturze pikselowej, wykorzystujący przetwornik czas-cyfra w architekturze Verniera z oscylatorami pierścieniowymi. Omówione są również projekt oscylatora i wyniki symulacji postekstrakcyjnych. Docelową implementacją opracowywanego rozwiązania będą scalone układy elektroniki odczytu do pikselowych detektorów promieniowania X, których jedną z funkcji będzie pomiar czasu uderzenia cząstki w detektor i dodatkowo pomiar zdeponowanej energii.

**Abstract.** The paper describes the design of a system dedicated for a measurement of short time intervals in pixellated circuits. Ring oscillator-based Vernier time-to-digital converter architecture is used. The design of ring oscillator is discussed, and post-extraction simulation results are also presented. The project goal is to implement the solution in integrated readout integrated circuits for pixel X-ray detectors that offer time of arrival and time over threshold measurement functionalities. (Time of arrival measurement using ring oscillator-based Vernier time-to-digital converter in 28 nm CMOS).

**Słowa kluczowe:** czas nadejścia, przetwornik czas-cyfra, architektura Verniera, oscylator pierścieniowy

**Keywords:** time of arrival (ToA), time-to-digital converter (TDC), Vernier, ring oscillator

## Wprowadzenie

Część projektowanych i używanych obecnie systemów do detekcji promieniowania X staje przed wymogiem dostarczenia jak największej ilości informacji o każdym z zarejestrowanych fotonów. Jedną z takich informacji jest moment uderzenia fotonu w dany piksel (ang. *Time of Arrival*, ToA), co wykorzystywane jest na przykład w trójwymiarowej rekonstrukcji toru lotu cząstki. Spośród układów scalonych dedykowanych do tego typu rozwiązań wyróżniają się układy scalone z rodzin Timepix oraz GOSSIP [1-3], wykorzystywane w różnorodnych eksperymentach naukowych, obejmujących pomiar promieniowania kosmicznego, obrazowanie synchrotronowe i spektroskopowe, mikroskopię elektronową, czy też badania nad antymaterią [1].

Celem badań opisywanych w niniejszym artykule jest zbudowanie prototypu wielokanałowego układu do pomiaru czasu, o architekturze pikselowej. Uzyskane wyniki zostaną wykorzystane do budowy większego systemu do detekcji promieniowania X i wpisują się w wieloletnie badania prowadzone nad tą tematyką w Katedrze Metrologii i Elektroniki AGH [4-6]. Zakładany zakres dynamiczny pomiaru czasu to 1  $\mu$ s, natomiast rozdzielczość czasowa to 20 ps, z możliwością zwiększenia rozdzielczości do 4-5 ps. Jest to dość ambitne założenie, biorąc pod uwagę najpopularniejszą obecnie rodzinę układów dedykowanych do pomiaru ToA, w których rozdzielczość czasowa  $T_{LSB}$  jest rzędu 200 ps [2]. Jednakże, w opinii autorów tej pracy, zadanie to jest wykonalne, biorąc pod uwagę potencjał wybranej architektury i doniesienia innych autorów o uzyskaniu rozdzielczości równej 5.1 ps [7]. Zintegrowanie przetwornika czas-cyfra w każdym pikselu jest wyzwaniem z uwagi na ograniczenie poboru mocy i zajmowanej powierzchni, przy jednoczesnym wymogu zapewnienia wysokiej precyzji pomiaru.

## Układ do pomiaru krótkich odcinków czasu

Sposób uzyskiwania wysokiej rozdzielczości pomiaru w przetwornikach czas-cyfra w architekturze Verniera opiera się na zasadzie podobnej, jak w przypadku noniusza suwmiarki. Jedną z odmian tej architektury wykorzystuje dwa nieznacznie odstrojone od siebie oscylatory pierścieniowe [7, 8] a rozdzielczość czasowa takiego przetwornika dana jest wzorem:

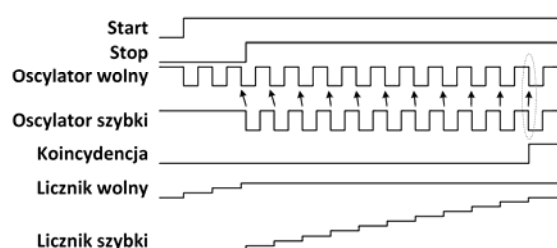
$$(1) \quad T_{LSB} = T_{Slow} - T_{Fast}$$

gdzie  $T_{Slow}$  – okres oscylatora wolniejszego,  $T_{Fast}$  – okres oscylatora szybkiego. Oscylator wolny uruchamiany jest sygnałem startu, oscylator szybki sygnałem stopu, a przetwornik mierzy czas, który upłynął między pojawieniem się obu tych sygnałów. W układzie przetwornika znajduje się arbiter, zazwyczaj zbudowany z przetwornika RS z filtrem metastabilności, którego zadaniem jest wygenerowanie sygnału koincydencji w momencie, w którym zbocze sygnału na wyjściu oscylatora szybkiego jest w fazie z odpowiednim zboczem na wyjściu oscylatora wolnego. Zbocza jednego typu (na przykład narastające) zliczane są przez liczniki, osobne dla każdego z oscylatorów, a stan tych liczników w momencie pojawienia się sygnału koincydencji może zostać przepisany do rejestrów, wysłany do systemu nadrzędnego i wykorzystany do obliczenia wskazania przetwornika.

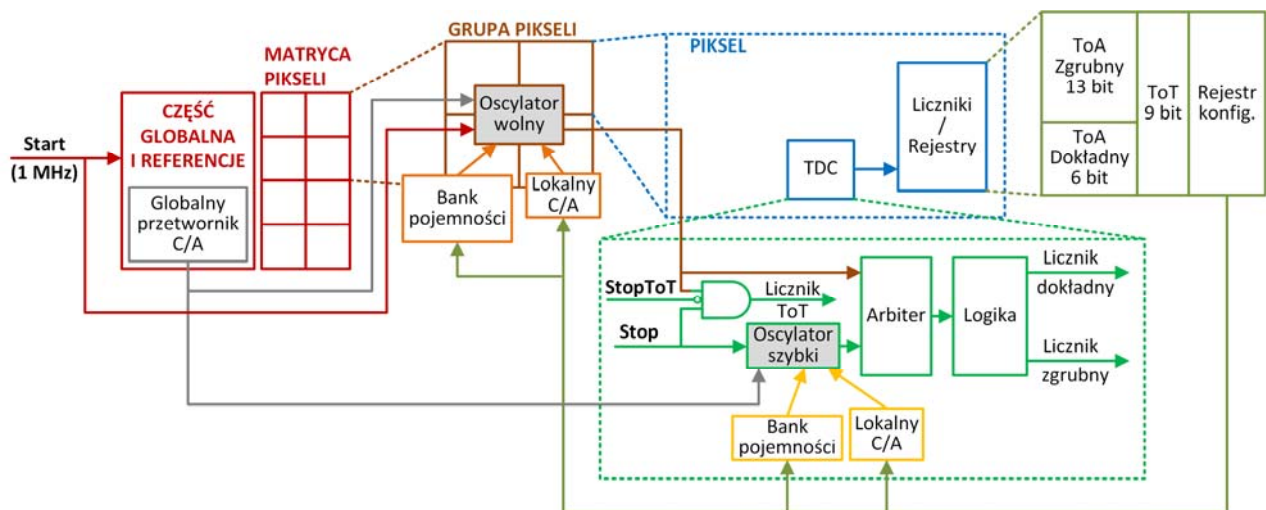
Pomimo faktu, że o rozdzielczości przetwornika decyduje różnica okresów sygnałów na wyjściu obu oscylatorów, nie bez znaczenia jest wartość częstotliwości każdego z nich z osobna. Częstotliwości te bezpośrednio wpływają na czas konwersji, który dany jest wzorem [8]:

$$(2) \quad t_{c \max} \approx \frac{T_{Slow}^2}{T_{LSB}}$$

Z wzoru (2) wynika, że skrócenie czasu konwersji przy założonej rozdzielczości czasowej wymaga zwiększenia częstotliwości pracy oscylatorów. Przykładowe, uproszczone przebiegi czasowe opisywanego przetwornika przedstawia rysunek 1.



Rys.1. Przebiegi czasowe sygnałów w przetworniku czas-cyfra w architekturze Verniera z oscylatorami



Rys.2. Schemat proponowanej struktury testowej do pomiaru czasu w układzie o architekturze pikselowej

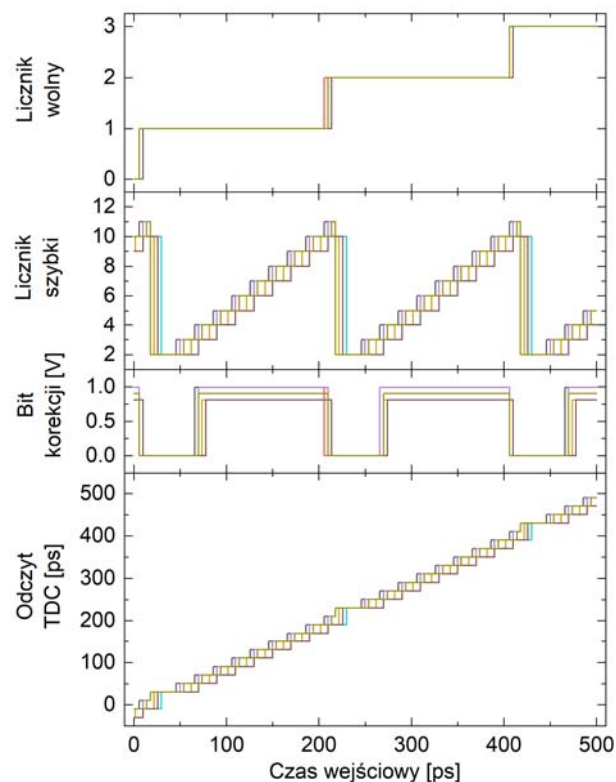
Prototyp układu (rys.2) przewiduje implementację matrycy 4×2 pikseli, podzielonych na dwie grupy zawierające 2×2 piksele. Każda z tych grup będzie współdzieliła oscylator wolny, uruchamiany wspólnym sygnałem startu, oraz jego dedykowany licznik. Każdy piksel będzie wyposażony we własny oscylator szybki. Oznacza to wymóg umieszczenia 5 oscylatorów na każdą grupę 4 pikseli. Oscylator wolny oraz licznik, który zlicza jego narastające zbrocza, będą głównym źródłem poboru mocy w układzie. Wynika to z faktu, że będą one pracować praktycznie ciągle podczas każdego jednomikrosekundowego cyklu pracy przetworników. Z drugiej strony, oscylatory szybkie będą uruchamiane na krótki odcinek czasu równy co najwyżej kilkudziesięciu okresom sygnału na ich wyjściu, i to tylko przy założeniu, że pojawi się sygnał stopu.

Zakłada się, że oscylator wolny będzie pracował przy częstotliwości 5 GHz, a oscylatory szybkie przy częstotliwości pomiędzy 5 GHz a 5,56 GHz – w zależności od przyjętej wartości  $T_{LSB}$ . Założenia przedstawione do tej pory przekładają się bezpośrednio na pojemności poszczególnych liczników i rejestrów.

Wszystkie piksele współdzielą globalny przetwornik C/A, służący do wstępnego strojenia częstotliwości oscylatorów (więcej szczegółów na temat samych oscylatorów znajduje się w dalszej części artykułu).

Rysunek 3 przedstawia przykładowe wyniki symulacji układu pojedynczego przetwornika. W przypadku a)  $T_{LSB}$  zostało ustawione na wartość równą 20 ps i zostały wykonane symulacje brzegowe, których konfiguracja została podsumowana w tabeli 1.

Sygnał z wyjścia oscylatora wolnego będzie również wykorzystywany do pomiaru czasu pomiędzy wystąpieniem narastających zbroczy sygnałów *Stop* i *StopToT*. W docelowym systemie, w którym zaimplementowana zostanie również część analogowa (wzmacniacz ładunkowy i dyskryminator), narastające zbrocza tych sygnałów będą odpowiadały narastającemu i opadającemu zbroczu sygnału na wyjściu dyskryminatora. Umożliwi to pomiar czasu przebywania sygnału na wyjściu wzmacniacza ładunkowego nad progiem dyskryminacji z rozdzielczością równą 200 ps. W ten sposób zostanie zaimplementowana metoda pośredniego pomiaru energii cząstki promieniowania X zdeponowanej w detektorze, znana jako *Time over Threshold* (ToT) [1].



Rys.3. Wyniki symulacji brzegowych układu przetwornika czasocyfra dla  $T_{LSB} = 20$  ps i częstotliwości wolnego oscylatora równej 5 GHz

Tabela 1. Konfiguracja symulacji brzegowych: zestawienie wariantów warunków brzegowych procesu, temperatury i napięcia zasilania

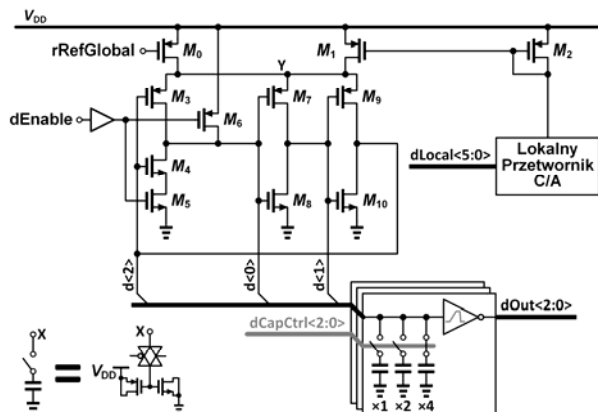
Model	typ	ff	ss	ss	sf	sf	fs	fs
Temp. (°C)	27	-25	-25	75	-25	75	-25	75
Napięcie zasilania [V]	0.9	0.99	0.81	0.81	0.99	0.81	0.99	0.81

### Układ oscylatora pierścieniowego

Układ oscylatora pierścieniowego powinien generować sygnał o częstotliwości, którą można kontrolować w zakresie od 5 GHz do 5,56 GHz. Istotny jest również krok, z jakim częstotliwość może być zmieniana, ponieważ będzie to miało bezpośrednie przełożenie na rozdzielczość

pomiaru. Przykładowo, aby uzyskać rozdzielczość pomiaru czasu rzędu 5 ps przy częstotliwości wolnego oscylatora równej 5 GHz, częstotliwość oscylatora szybkiego należy dobrać do wartości 5,13 GHz, zgodnie ze wzorem (1).

Oscylator, którego schemat widoczny jest na rysunku 4, zbudowany jest w oparciu o klasyczną architekturę trzystopniową, przy użyciu inwerterów z ograniczeniem prądowym od strony górnej szyny zasilania. Sygnał zezwalający *dEnable* po zbuforowaniu dostarczany jest na wejście bramki NAND. Ograniczenie prądowe zrealizowane jest przy użyciu tranzystorów  $M_0$  i  $M_1$ . Wymiarowanie tranzystorów zostało podane w tabeli 2.



Rys.4. Schemat układu oscylatora pierścieniowego

Tabela 2. Wymiarowanie i typy tranzystorów zastosowanych w układzie oscylatora

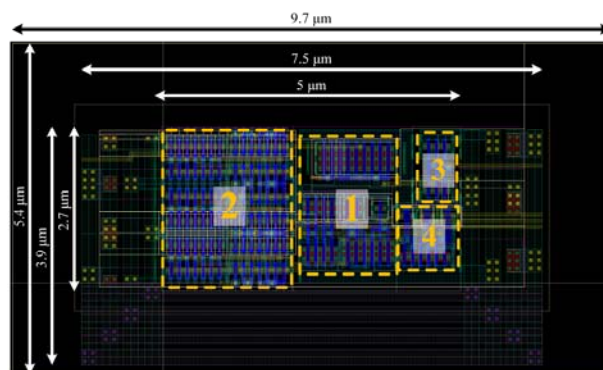
		Typ	W [nm]	L [nm]
Źródła prądowe	$M_0$	Low- $V_t$	2800	30
	$M_1, M_2$	Low- $V_t$	400	30
Rdzeń oscylatora	$M_4, M_5$	Low- $V_t$	1000	30
	$M_6$	Low- $V_t$	100	30
	$M_3, M_7-M_{10}$	Low- $V_t$	500	30
Bufory wyjściowe	PMOS	High- $V_t$	100	90
	NMOS	Low- $V_t$	300	30
Klucze		Low- $V_t$	100	30
Pojemności MOS		Low- $V_t$	100	30

Kontrola częstotliwości oscylatorów odbywa się na trzy sposoby. Pierwszy z nich związany jest z referencją *rRefGlobal*, która generowana jest przy pomocy globalnego przetwornika cyfrowo-analogowego, a następnie dostarczana do wszystkich oscylatorów. Przy jej użyciu eliminowany jest wpływ parametrów PVT (rozrzuty parametrów procesu, wpływ napięcia zasilania i temperatury) na częstotliwość generowaną przez oscylatory. Pozostałe dwa sposoby służą do precyzyjnej korekcji częstotliwości dla każdego z oscylatorów niezależnie, co ma za zadanie zminimalizować lokalne efekty niedopasowania. Lokalny przetwornik cyfrowo-analogowy generuje prąd, który jest kopiowany przez lustro prądowe zbudowane z tranzystorów  $M_1$  i  $M_2$  i dodawany do węzła Y oscylatora. Każdy z węzłów oscylatora *d<2:0>* wyposażony jest w bank pojemności dołączanych za pomocą kluczy. Pojemności oraz klucze zbudowane są przy użyciu komplementarnych tranzystorów MOS o minimalnych wymiarach  $W/L = 100 \text{ nm}/30 \text{ nm}$ . Trzybitowe słowo *dCapCtrl* służy do konfiguracji kluczy. Pojemności i liczba kluczy w każdej z trzech gałęzi są binarnie ważone, co zapewnia monotoniczną charakterystykę częstotliwości w funkcji słowa *dCapCtrl*.

Napięcia w węzłach *d<2:0>* oscylatora w trakcie jego nominalnej pracy zmieniają się w zakresie od około 0 V do

około połowy napięcia zasilania. Konwersja do poziomów napięć używanych w części cyfrowej układu dokonywana jest przez bufory wyjściowe, w których zastosowane zostały tranzystory PMOS o zwiększonym napięciu progowym i zwiększonej długości kanału oraz tranzystory NMOS o zmniejszonym napięciu progowym i zwiększonej szerokości kanału. Dzięki temu, skutecznie przesunięto próg przełączania inwertera w kierunku dolnej szyny zasilania i uodporniono go na zmianę amplitudy generowanego przez oscylator pierścieniowy sygnału.

Plan masek układu oscylatora, bez lokalnego przetwornika C/A, przedstawiony jest na rysunku 5. W centralnej części układu znajduje się rdzeń oscylatora wraz ze źródłami prądowymi do kontroli częstotliwości. Po lewej stronie znajdują się pojemności zrealizowane na tranzystorach MOS, połączone z rdzeniem oscylatora przy pomocy kluczy. Po stronie prawej znajdują się bufory. Ta część układu zajmuje powierzchnię  $13.5 \mu\text{m}^2$ . Po stronach lewej i prawej rozprowadzone są napięcia zasilające, połączone metalami widocznymi w dolnej części rysunku. Pożądanym jest umieszczenie całego oscylatora w osobnej studni, by zapewnić izolację elektryczną od pozostałych bloków w układzie scalonym. Odbywa się to kosztem kilkukrotnie zwiększonej powierzchni, cały układ z uwzględnieniem osobnej studni zajmuje  $52.4 \mu\text{m}^2$ . Należy jednak wziąć pod uwagę, że na grupę czterech pikseli w docelowym układzie przypadać będą cztery oscylatory szybkie, oraz jeden oscylator wolny, który będzie współdzielony. Bloki te można ułożyć w taki sposób, by znajdowały się we wspólnej studni oraz zoptymalizować rozprowadzenie zasilania w układzie, co spowoduje zmniejszenie się efektywnej powierzchni przypadającej na jeden oscylator.

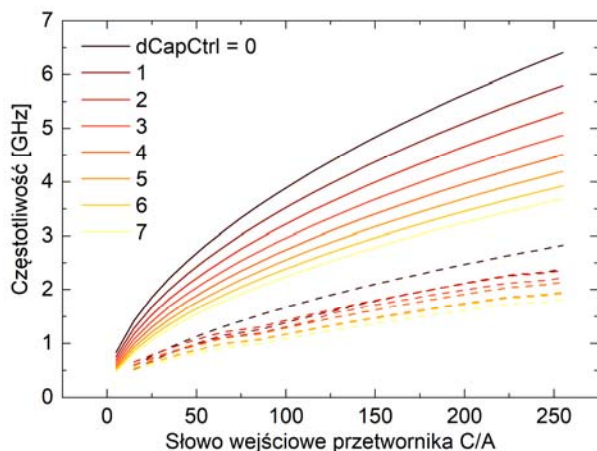


Rys.5. Plan masek układu oscylatora pierścieniowego: 1) rdzeń oscylatora z ograniczeniem prądowym, 2) bank pojemności, 3) bufor sygnału zezwalającego *dEnable*, 4) bufory wyjściowe. Wymiary zajmowanej powierzchni podane są w trzech konfiguracjach: dla części właściwej oscylatora ( $2.7 \times 5 \mu\text{m}^2$ ), dla oscylatora ze wstępnym doprowadzeniem zasilania ( $3.9 \times 7.5 \mu\text{m}^2$ ), oraz dla oscylatora umieszczonego w osobnej studni ( $5.4 \times 9.7 \mu\text{m}^2$ )

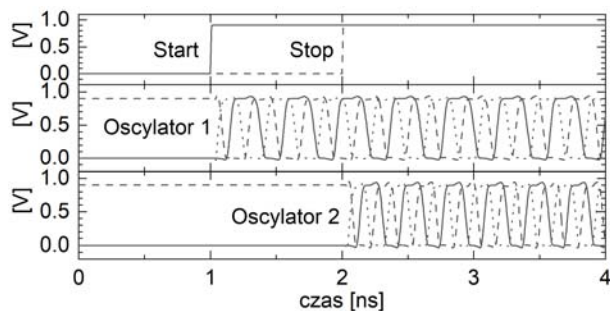
Wyniki symulacji postekstrakcyjnych, przedstawionych na rysunku 6, wskazują na konieczność redukcji pojemności pasywnych, które powodują ponad dwukrotny spadek częstotliwości na wyjściu oscylatora w porównaniu z częstotliwością uzyskaną na poziomie schematu przy identycznych nastawach. Obecnie badana jest druga wersja układu oscylatora, w której pojemności zrealizowane na tranzystorach MOS zostaną zastąpione pojemnościami wykonanymi przy użyciu metali, a klucze zrealizowane przy użyciu pary komplementarnych tranzystorów zostaną zastąpione przez pojedyncze tranzystory NMOS. Nieliniowość rezystancji takich kluczy nie powinna zaburzyć poprawnej pracy oscylatora, tym bardziej, że zakres napięć na wyjściu poszczególnych



stopni oscylatora nie przekracza połowy napięcia zasilania. Zastosowane rozwiązania powinny zredukować powierzchnię banku pojemności, co przełoży się na spadek pojemności pasożytniczych ścieżek i wzrost częstotliwości wyjściowej oscylatora. Odbędzie się to bez konieczności zmiany wymiarów tranzystorów w rdzeniu oscylatora i – co za tym idzie – poboru mocy układu.



Rys.6. Porównanie symulacji na poziomie schematu (linie ciągłe) i symulacji postekstrakcyjnych (linie przerywane): częstotliwość sygnału na wyjściu oscylatora w funkcji słowa wejściowego globalnego przetwornika C/A dla ośmiu możliwych nastaw banku pojemności (rozróżnione kolorami)



Rys.7. Przykładowe przebiegi czasowe sygnałów na wyjściach dwóch odstrojonych oscylatorów – wynik symulacji postekstrakcyjnej

Symulacje na poziomie schematu pokazują, że pobór mocy układu przy minimalnym ustawieniu banku pojemności ( $dCapCtrl = 0$ ) wynosi 27-30  $\mu W$  dla częstotliwości pracy oscylatora w zakresie od 5 GHz do 5,56 GHz. Rysunek 7 przedstawia przykładowy wynik symulacji postekstrakcyjnej, w której dwa identyczne oscylatory zostały odstrojone za pomocą lokalnych przetworników cyfrowo-analogowych.

## Podsumowanie

W artykule przedstawiono projekt przetwornika czas-cyfra w architekturze Verniera z oscylatorami pierścieniowymi, wraz z wybranymi wynikami symulacji brzegowych. Omówiono plan masek oscylatora pierścieniowego i przedstawiono wyniki analiz postekstrakcyjnych. Dalsze prace będą skupiać się na zwiększeniu szybkości oscylatora, obniżeniu poboru mocy i integracji całego systemu w prototypową matrycę  $4 \times 2$  pikseli.

Praca powstała w wyniku realizacji projektów badawczych o nr UMO-2016/23/D/ST7/00488 i UMO 2017/27/B/ST7/01217, finansowanych ze środków Narodowego Centrum Nauki.

**Autorzy:** mgr inż. Łukasz A. Kadłubowski, AGH Akademia Górniczo-Hutnicza, Katedra Metrologii i Elektroniki, al. A. Mickiewicza 30, 30-059 Kraków, E-mail: [lukasz.kadlubowski@agh.edu.pl](mailto:lukasz.kadlubowski@agh.edu.pl); dr hab. inż. Piotr Kmon, AGH Akademia Górniczo-Hutnicza, Katedra Metrologii i Elektroniki, al. A. Mickiewicza 30, 30-059 Kraków, E-mail: [piotr.kmon@agh.edu.pl](mailto:piotr.kmon@agh.edu.pl).

## LITERATURA

- [1] Ballabriga R., Campbell M., Llopert X., Asic developments for radiation imaging applications: The medipix and timepix family, *Nucl. Instr. Meth. A*, 878 (2018), 10-23
- [2] Llopert X., Aloy J., Ballabriga R., Campbell M., Egidos N., Fernandez J.M., Heijne E., Kremastiotis I., Santin E., Tlustos L., Sriskaran V., Poikela T., Study of low power front-ends for hybrid pixel detectors with sub-ns time tagging, *J. Instrum.*, 14 (2019), n.1, C01024
- [3] Kruth A., Brezina C., Celik S., Gromov V., Kluit R., Zappone F., Desch K., Graaf H. van der, GOSSIPO-3: measurements on the prototype of a read-out pixel chip for Micro-Pattern Gaseous Detectors, *J. Instrum.*, 5 (2010), n.12, C12005
- [4] Kłeczek R., Gryboś P., Szczygieł R., Maj P., Single photon-counting pixel readout chip operating up to 1.2 Gcps/mm<sup>2</sup> for digital X-ray imaging systems, *IEEE J. Solid-State Circuits*, 53 (2018), n.9, 2651-2662
- [5] Kmon P., Kaczmarczyk P., Kadłubowski Ł., Design of analog pixels front-end active feedback, *J. Instrum.*, 13 (2018), P01018
- [6] Drozd A., Maj P., Problemy korekcji w hybrydowych pikselowych detektorach promieniowania X, *Przegląd Elektrotechniczny*, 90 (2014), nr.5, 86-89
- [7] Nolet F., Roy N., Carrier S., Bouchard J., Fontaine R., Charlebois S.A., Pratte J.-F., 22  $\mu W$ , 5.1 ps LSB, 5.5 ps RMS jitter Vernier time-to-digital converter in CMOS 65 nm for single photon avalanche diode array, *Electron. Lett.*, 56 (2020), n.9, 424-426
- [8] Roy N., Nolet F., Dubois F., Mercier M., Fontaine R., Pratte J., Low Power and Small Area, 6.9 ps RMS Time-to-Digital Converter for 3-D Digital SiPM, *IEEE Trans. Radiation Plasma Medical Sci.*, 1 (2017), n.6, 486-494