

## Projekt dynamicznego komparatora z korekcją napięcia nierównoważenia w dziedzinie czasu

**Streszczenie.** W artykule zaprezentowano dwustopniowy komparator dynamiczny z możliwością kalibracji napięcia nierównoważenia w dziedzinie czasu. Układ został zaprojektowany w technologii CMOS 28 nm. Główną zaletą przedstawionej metody kalibracji jest możliwość minimalizacji napięcia nierównoważenia bez dodatkowego obciążania pojemnościami pierwszego stopnia układu. Dzięki zastosowaniu regulowanej przez użytkownika linii opóźniającej możliwe jest zmniejszenie napięcia nierównoważenia o  $\pm 15$  mV, co pozwala skutecznie zniwelować istniejące w zaprojektowanym układzie rozrzuty i utrzymać szybkość odpowiedzi komparatora odpowiednią do pracy z częstotliwością 2 GHz.

**Abstract.** In the paper, a two-stage dynamic comparator with a time-domain offset calibration technique is presented. The circuit has been designed in CMOS 28 nm technology. The main advantage of the proposed method is the ability to minimize an offset voltage without additional capacitive loading of the dynamic amplifier. Thanks to the application of a user-tuned delay line, the offset voltage has been reduced by the value of  $\pm 15$  mV, which effectively eliminates mismatches in the designed circuit and maintains the comparator response speed appropriate for operation at 2 GHz. (Design of a Dynamic Comparator with Time-Domain Offset Calibration).

**Słowa kluczowe:** komparator dynamiczny, korekcja napięcia nierównoważenia, przetwornik analogowo-cyfrowy, scalone układy analogowe.

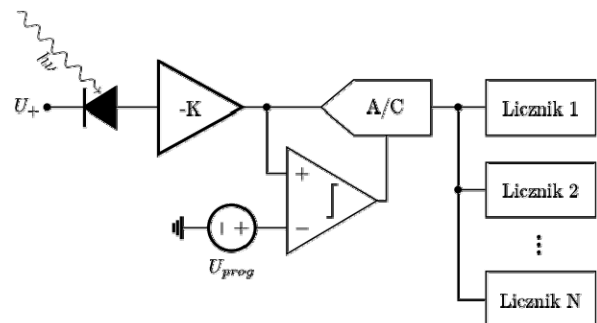
**Keywords:** dynamic comparator, offset calibration, analog-to-digital converter, analog integrated circuits.

### Wstęp

Dostępność nowoczesnych technologii produkcji scalonych układów elektronicznych znacząco poszerza perspektywy rozwoju licznych dziedzin nauki i techniki. Jednym z beneficjentów rozwoju technologii wydają się być systemy przeznaczone do detekcji promieniowania jonizującego, a w szczególności te dedykowane do obrazowania medycznego. Tego typu urządzenia powinny charakteryzować się możliwością rejestracji wielu energii jonizujących na raz, co umożliwi sprawniejszą i bezpieczniejszą diagnostykę medyczną [1-3]. Co ważne, możliwość wieloenergetycznej symultanicznej rejestracji zdeponowanych w detektorze energii wiąże się ściśle z precyzyjnym pomiarem napięcia. To z kolei przekłada się na konieczność opracowania takiej architektury układu scalonego, by składał się on z matrycy zawierającej setki tysięcy aktywnych pól odczytowych, z których każde będzie posiadało możliwość niezależnego pomiaru różnych napięć niosących informacje o zdeponowanej energii. Narzuca to konieczność wykorzystania oddzielnych przetworników analogowo-cyfrowych wewnątrz każdego z pól odczytowych. Przykładową architekturę toru sygnałowego pojedynczego pola przedstawiono na rysunku 1.

Kluczowym elementem przetworników analogowo-cyfrowych jest komparator. W dobie coraz popularniejszych i coraz bardziej pożądanych układów o niskim poborze mocy, nieodzowne stają się komparatory dynamiczne, rozpraszające moc jedynie w momencie porównywania napięć wejściowych oraz konfiguracji. Bardzo często układy te pozbawione są przedwzmacniacza pracującego w trybie ciągłym, a opierają się jedynie na wzmacniaczu dynamicznym. Pozwala to na znaczną redukcję rozpraszanej mocy statycznej, jednak w konsekwencji różnica między porównywanymi napięciami bywa bardzo mała, powodując wzrost wpływu szumów oraz efektów niedopasowania na podejmowaną decyzję. Cechą charakterystyczną rozwoju nowoczesnych technologii CMOS jest systematyczny wzrost częstotliwości pracy tranzystorów, co wynika m.in. ze zmniejszania ich wymiarów charakterystycznych oraz doboru materiałów z jakich są wykonywane. Stosowanie minimalnych, dostępnych dla danej technologii, wymiarów tranzystorów jest więc niezwykle atrakcyjne zarówno z punktu widzenia

szybkości działania układu jak i powierzchni zajmowanej przez finalny system, umożliwiając jednocześnie zwiększenie jego funkcjonalności. Takie podejście niesie jednak ze sobą negatywne konsekwencje związane z niejednorodnością parametrów projektowanych układów, co jest szczególnie niekorzystne w przypadku struktur wielokanałowych. Autorzy pracy zdecydowali się na zastosowanie rozwiązania kompromisowego, tzn. zaprojektowanie komparatora dynamicznego zajmującego niewielką powierzchnię, ale wspieranego przez bufor cyfrowe odpowiedzialne za korekcję napięcia nierównoważenia. Projekt układu oraz jego symulacje zostały zrealizowane na poziomie schematu z wykorzystaniem oprogramowania Cadence Virtuoso.



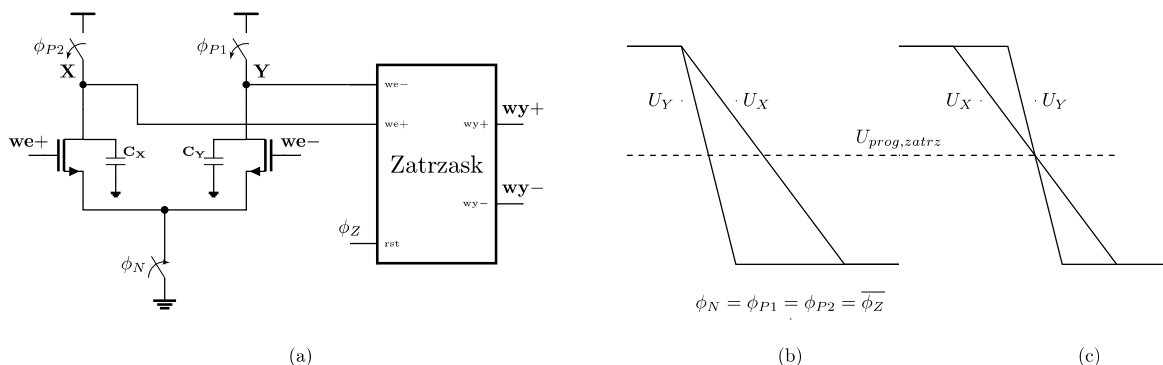
Rys.1. Przykładowy schemat toru sygnału w pojedynczym polu odczytowym układu mierzącego energię ładunku zdeponowanego przez cząstkę jonizującą; zjonizowana cząstka ( $h\nu$ ) uderza w detektor będący diodą spolaryzowaną w kierunku zaporowym, wzmacniacz ładunkowy (-K) generuje napięcie proporcjonalne do zgromadzonego ładunku i jeśli jego poziom przekroczy zadaną wartość progową ( $U_{prog}$ ) przetwornik analogowo-cyfrowy (A/C) rozpoczyna konwersję napięcia na słowo cyfrowe, po czym inkrementowana jest wartość odpowiedniego licznika [4]

### Budowa i działanie komparatora dynamicznego

Zaprezentowany w niniejszej pracy komparator dynamiczny składa się z dwóch stopni, a jego działanie podzielone jest na dwie fazy – zerowania i porównywania (Rys. 2. a) [4, 5]. Pierwszy stopień stanowi wzmacniacz dynamiczny kontrolowany sygnałami sterującymi  $\phi$ . W fazie przygotowania komparatora do pracy, pojemności pasytywne ( $C_x$ ,  $C_y$ ) ładowane są do dodatniego napięcia

zasilania, a w fazie porównywania zgromadzony na nich ładunek jest odprowadzany do ujemnej szyny zasilania z szybkością proporcjonalną do wartości napięć przyłożonych na bramkach tranzystorów wejściowych ( $we+$ ,  $we-$ ). Drugi stopień stanowi zatrask, który w fazie zerowania na obu wyjściach ( $wy+$ ,  $wy-$ ) zwraca wartość logiczną '0', a w fazie

porównywania, gdy napięcia ( $U_X$ ,  $U_Y$ ) na rozładowujących się pojemnościach pierwszego stopnia osiągną napięcie załączenia drugiego stopnia ( $U_{prog,zatrz}$ ), ustawią stan logiczny '1' na jednym ze swoich wyjść, w zależności od tego który z węzłów ( $X$ ,  $Y$ ) jako pierwszy przekroczył napięcie  $U_{prog,zatrz}$ .



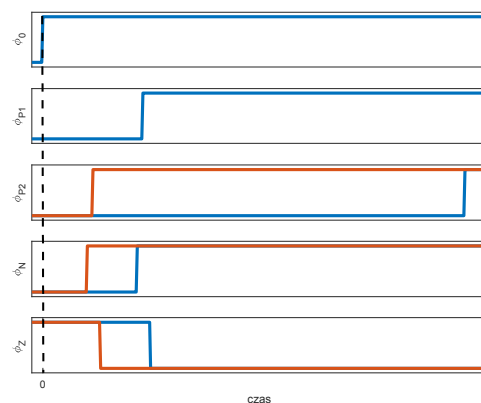
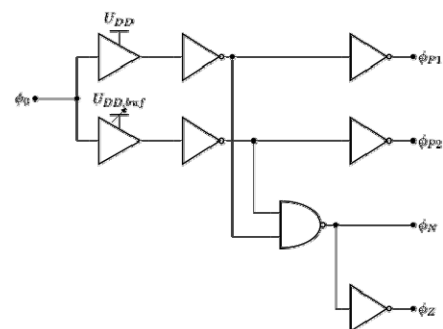
Rys. 2. (a) Schemat dwustopniowego komparatora dynamicznego oraz napięcia w węzłach pierwszego stopnia w przypadku występowania napięcia niezrównoważenia (b) bez kalibracji i (c) z kalibracją; klucze ładujące są zazwyczaj realizowane za pomocą tranzystorów PMOS, a klucz rozładowujący za pomocą tranzystora NMOS, stąd też oznaczenia odpowiadających im sygnałów zegarowych  $\phi_P$  oraz  $\phi_N$

Nieidealność procesu produkcji układów elektronicznych, dobór architektury czy wreszcie umiejętności projektanta przyczyniają się do powstawania rozrzutów parametrów projektowanych systemów, co w odniesieniu do komparatorów powoduje powstawanie napięcia niezrównoważenia. W przypadku analizowanego komparatora dynamicznego obecność wejściowego napięcia niezrównoważenia ( $U_{wen}$ ) objawia się szybszym rozładowywaniem jednego z węzłów stopnia wejściowego, wprowadzając polaryzację podejmowanej przez układ decyzji poprzez fałszywie wcześniejsze wyzwolenie zatrasku (Rys. 2. b). Powszechnie znane są rozwiązania minimalizujące ten negatywny efekt poprzez kontrolę pojemności w węzłach  $X$  oraz  $Y$  [6], jednakże taki zabieg w oczywisty sposób przyczynia się do spowolnienia pracy układu. Ciekawą i skuteczną alternatywą jest kalibracja napięcia niezrównoważenia w domenie czasu, która polega na przyspieszeniu rozładowania gałęzi wolniejszej względem tej szybszej tak, aby dla równych napięć na wejściu komparatora ( $U_{we+}=U_{we-}$ ), napięcia w obu węzłach ( $U_X$ ,  $U_Y$ ) w tym samym momencie przecięły punkt załączenia zatrasku ( $U_{prog,zatrz}$ ) (Rys. 2. c) [7, 8].

### Kalibracja napięcia niezrównoważenia

W komparatorze bez kalibracji wszystkie klucze oraz zatrask przełączane są w tym samym momencie. Prezentowane w niniejszym artykule rozwiązanie polega na celowym rozsynchronizowaniu poszczególnych sygnałów kontrolnych w taki sposób, aby gałąź z większą pojemnością (czyli wolniejsza) zaczęła rozładowywać się wcześniej, wyrównując tym samym swoje opóźnienie względem drugiej gałęzi. Zamierzenie to może zostać zrealizowane na różne sposoby, np. poprzez umieszczenie dodatkowych kluczy opóźniających pomiędzy kluczami ładującymi a tranzystorami wejściowymi [7], bądź przy pomocy regulowanych pojemnościami linii opóźniających, które spowalniają sygnał zegara taktującego jeden z kluczy resetujących [8].

Autorzy pracy zastosowali kalibrację napięcia niezrównoważenia poprzez regulację czasów przyścia sygnału zegarowego doprowadzonego do jednego z kluczy ładujących, przy czym regulacja ta odbywa się za pomocą zmiany napięcia bufora opóźniającego (Rys. 3).



Rys. 3. Układ do generacji sygnałów zegarowych dla komparatora oraz możliwe przebiegi tych sygnałów dla dwóch skrajnych wartości nastaw  $U_{DD,buf}$  (wcześniejsze przełączenie  $\phi_{P2}$ ,  $\phi_N$  i  $\phi_Z$  występujące dla najwyższego napięcia  $U_{DD,buf}$ , a późniejsze dla najniższego)

W komparatorze z kalibracją opisanym w [8] opóźniony jest sygnał  $\phi_{P1}$  albo  $\phi_{P2}$ , w zależności od tego, która gałąź jest szybsza. Sygnał  $\phi_N$  wyzwany jest równocześnie z nieopóźnionym sygnałem  $\phi_P$ . Takie podejście wprowadza jedynie opóźnienie związane z koniecznością przeprowadzenia wszystkich sygnałów zegarowych przez

bufory, jednak wymaga zaimplementowania dwóch banków pojemności kalibrujących. Prezentowane tutaj rozwiązanie celowo wprowadza niewielkie opóźnienie sygnału  $\phi_{P1}$  względem sygnału zegara  $\phi_0$ , jednak umożliwia przesunięcie sygnału  $\phi_{P2}$  względem  $\phi_{P1}$  zarówno w dodatnim jak i ujemnym kierunku. Dzięki temu możliwa będzie kalibracja zarówno dodatniego jak i ujemnego napięcia niezrównoważenia przy wykorzystaniu tylko jednego regulowanego elementu.

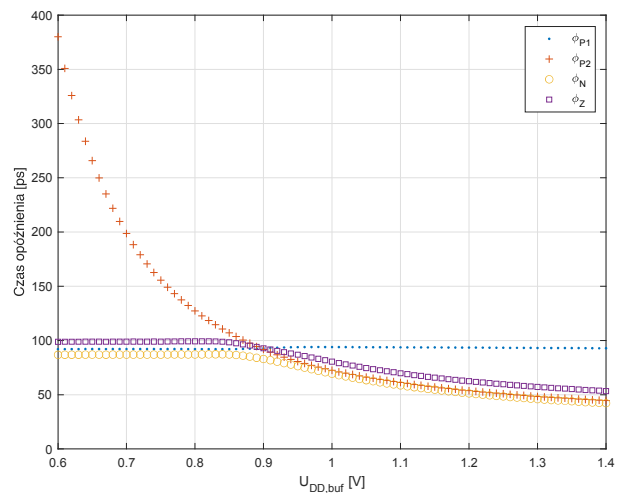
Aby układ zadziałał poprawnie, rozłączeniu przynajmniej jednego z kluczy ładujących ( $P$ ) musi towarzyszyć załączenie klucza rozładowującego ( $N$ ). W tym celu na podstawie sygnałów  $\phi_{P1}$  i  $\phi_{P2}$  generowany jest sygnał  $\phi_N$  w taki sposób, by szybszy z sygnałów  $\phi_P$  wymusił załączenie dolnego klucza. Aby zachować symetrię torów opóźniających, przed połączeniem sygnałów  $\phi_P$  z buforów (zarówno stałego jak i regulowanego) do bramki NAND zastosowano inwertery zasilane tym samym napięciem co bramka NAND ( $U_{DD}$ ). Pozwoliło to uniknąć występowania na wejściach bramki sygnałów o różnych napięciach poziomu wysokiego ( $U_{DD}$  i  $U_{DD,buf}$ ), co w przypadku gdy  $U_{DD,buf} > U_{DD}$  wiązałoby się z szybszą reakcją niż gdy  $U_{DD,buf} < U_{DD}$ . Tymczasem różnica  $|\phi_P - \phi_N|$  powinna zawsze wynosić tyle samo, niezależnie który z sygnałów  $\phi_P$  jest szybszy, aby w każdym przypadku wzmacniacz dynamiczny w jednakowy sposób rozpoczynał proces rozładowywania pojemności.

Rozłączenie klucza  $P$  wiąże się ze wstrzykiwaniem ładunku do pasożytniczej pojemności pierwszego stopnia, co przy rozwartym kluczu rozładowującym  $N$  powoduje dodatkowy wzrost napięcia  $U_X$  lub  $U_Y$  powyżej ustalonego poziomu. W takim przypadku, w momencie gdy klucz  $N$  zostanie załączony, rozładowywanie jednego z węzłów rozpocznie się z wyższego poziomu, wydłużając tym samym czas potrzebny na osiągnięcie przez niego napięcia  $U_{prog,zatrz}$ . Aby uniknąć tego zjawiska i od razu rozpocząć rozładowywanie, na podstawie symulacji ustalono, że sygnał  $\phi_N$  powinien nieznacznie wyprzedzać sygnał  $\phi_P$ , a zatrask powinien zostać aktywowany jako ostatni. Kolejność tę zapewniono wprowadzając niewielkie

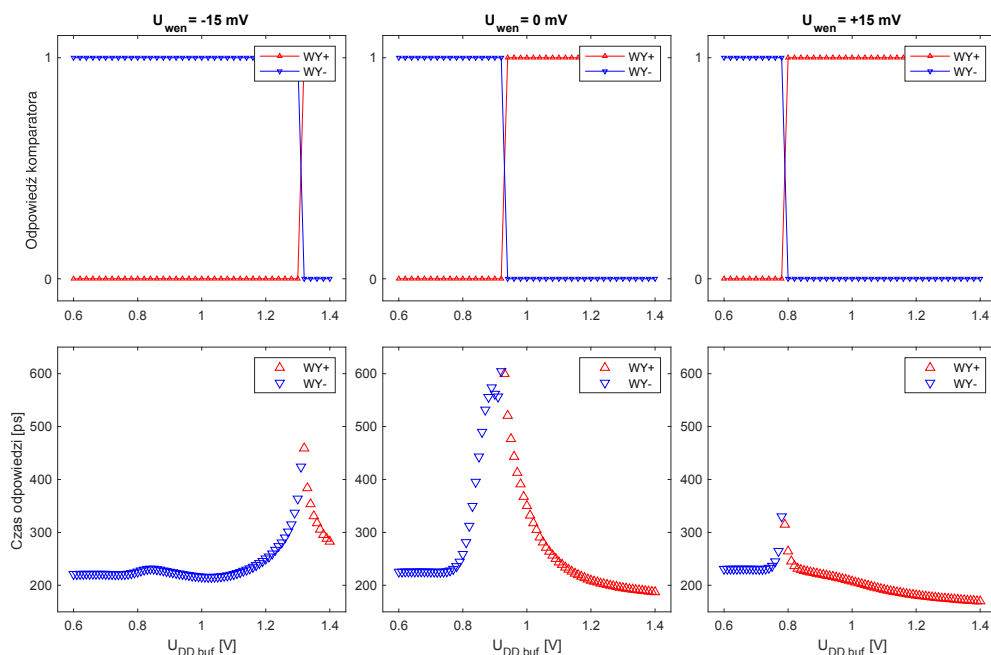
dodatkowe opóźnienia za pomocą inwerterów na końcach torów.

## Wyniki symulacji

Na rysunku 4. przedstawiono opóźnienia poszczególnych sygnałów zegarowych względem wejściowego zegara  $\phi_0$ . Nominalne opóźnienie wprowadzone przez tor wynosi 90 ps. Zwiększenie napięcia zasilającego regulowany bufor do 1,4 V pozwala przyspieszyć reakcję o około 50 ps, a obniżenie do 0,6 V – spowolnić o prawie 300 ps (Tabela 1.). Nieliniowa charakterystyka zależności opóźnienia odpowiedzi komparatora od wartości napięcia  $U_{DD,buf}$  sprawia, że znacznie łatwiej jest skompensować ujemne napięcie niezrównoważenia (opóźniając zegar  $\phi_{P2}$ ) aniżeli dodatnie (poprzez przyspieszanie). Poszerzenie zakresu możliwego przyspieszenia regulowanego zegara wiąże się z koniecznością zwiększenia nominalnego opóźnienia toru.



Rys.4. Opóźnienia poszczególnych sygnałów zegarowych względem wejściowego zegara  $\phi_0$



Rys.5. Odpowiedzi układu oraz czasy propagacji przy jednakowych napięciach wejściowych komparatora ( $U_{we-} = U_{we+} = 500$  mV) i różnych wejściowych napięciach niezrównoważenia  $U_{wen}$  (-15 mV, 0 mV, +15 mV) dla różnych napięć bufora opóźniającego  $U_{DD,buf}$  (0,6-1,4 V)

Poprawność działania kalibracji weryfikowano symulacyjnie, doprowadzając do obydwu wejść komparatora takie samo napięcie (500 mV) oraz wprowadzając dodatkowe napięcie niezrównoważenia ( $U_{wen}$ ) na wejściu dodatnim ( $we+$ ). Obserwowano odpowiedź komparatora oraz czas potrzebny na przekroczenie przez jedno z wyjść ( $wy+$ ,  $wy-$ ) połowy napięcia zasilania (Rys. 5.).

Tabela 1. Opóźnienie sygnału kontrolnego  $\varphi_{P2}$  względem  $\varphi_{P1}$  dla różnych napięć bufora

Napięcie bufora $U_{DD,buf}$ [V]	Różnica opóźnień $\varphi_{P1}-\varphi_{P2}$ [ps]
0,6	-287,9
0,7	-106,5
0,8	-35,2
0,9	1,1
1,0	21,4
1,1	32,4
1,2	39,7
1,3	44,7
1,4	48,2

Zgodnie z oczekiwaniami, zwiększanie napięcia bufora przyspiesza moment rozładowania pojemności  $C_X$  (odpowiadającej wejściu  $we+$ ), zwiększając tym samym szansę na przełączenie zatrzasku przez węzeł X i wystąpienie logicznego sygnału '1' na wyjściu  $wy+$ . Poprzez regulację  $U_{DD,buf}$  możliwa jest kompensacja napięcia niezrównoważenia komparatora w zakresie  $\pm 15$  mV, co dla zastosowanych wymiarów tranzystorów stanowi około dwukrotność odchylenia standardowego napięcia niezrównoważenia wynikającego z rozrzutów technologicznych ( $2\sigma_{U_{wen}}$ ). Regulacja dodatniego napięcia niezrównoważenia poprzez obniżanie napięcia bufora możliwa jest oczywiście w szerszym zakresie (ok. 150 mV). Średni czas propagacji wynosi 245 ps.

#### Podsumowanie

Zaprojektowany komparator pozwala na efektywną kalibrację napięcia niezrównoważenia w zakresie  $\pm 15$  mV. Dzięki pełnej symetrii proponowanego rozwiązania, zminimalizowano szansę wprowadzenia innych

niezrównoważeń, jak tylko te wynikające z celowej regulacji napięcia bufora. Średnia szybkość odpowiedzi wynosi 245 ps, co przy założeniu 50% wypełnienia sygnału zegara pozwala na pracę z częstotliwością 2 GHz.

*Praca naukowa finansowana przez Ministerstwo Nauki i Szkolnictwa Wyższego w ramach programu „Diamentowy Grant” (0071/DIA/2018/47) w latach 2018-2021.*

**Autorzy:** mgr inż. Piotr Kaczmarczyk, dr hab. inż. Piotr Kmon, AGH Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej, Katedra Metrologii i Elektroniki, al. A. Mickiewicza 30, 30-059 Kraków, E-mail: [piotr.kaczmarczyk@agh.edu.pl](mailto:piotr.kaczmarczyk@agh.edu.pl); [piotr.kmon@agh.edu.pl](mailto:piotr.kmon@agh.edu.pl).

#### LITERATURA

- [1] Taguchi K., Iwańczyk J.S., Vision 20/20: Single photon counting x-ray detectors in medical imaging, *Med. Phys.*, vol. 40 (2013), 10091
- [2] Ballabriga R. et al., The Medipix3RX: a high resolution, zero dead-time pixel detector readout chip allowing spectroscopic imaging, *J. Inst.*, vol. 8 no. 2 (2013), C02016
- [3] Gryboś P. et al., 32k channels readout IC for single photon counting detectors with 75  $\mu\text{m}$  pitch, ENC of 123  $e^-$  rms, 9 $e^-$  rms offset spread and 2% rms gain spread, *IEEE Biomedical Circuits and Systems Conf. (BioCAS)*, (2015)
- [4] Kaczmarczyk P., Kmon P., Dynamic Comparator Design in 28 nm CMOS, *Int. J. Microelectronics and Comput. Sci.*, vol. 9 no. 4 (2018), 149-154
- [5] Elzакker M. van, et al., A 10-bit Charge-Redistribution ADC Consuming 1.9  $\mu\text{W}$  at 1 MS/s, *IEEE J. Solid-State Circuits*, vol. 45 no. 5 (2010), 1007-1015
- [6] Plas G. van der, Decoutere S., Donnay S., A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process, *IEEE Int. Solid State Circuits Conf. – Dig. Tech. Papers*, (2006) 2310-2312
- [7] Lin J., Mano I., Miyahara M., Matsuzawa A., Ultralow-voltage high-speed flash adc design strategy based on fom-delay product, *IEEE Trans. VLSI Syst.*, vol. 23 no. 8 (2015), 1518-1527
- [8] Yang X., Bae S., Lee H., An 8-bit 2.8 GS/s Flash ADC with Time-based Offset Calibration and Interpolation in 65 nm CMOS, *IEEE Europ. Solid State Circuits Conf. (ESSCIRC)*, (2019) 305-308