

Wpływ obwodów odciażających na łączeniowe straty energii w przekształtnikach wysokiej częstotliwości

Streszczenie. Niniejsza praca dotyczy analizy procesów łączeniowych w gałęzi z szybkimi tranzystorami MOSFET. Opisano podstawowe zjawiska towarzyszące szybkim procesom łączeniowym oraz zdefiniowano źródła drgań wartości chwilowych prądu i napięcia na łącznikach. Przybliżono znane z literatury sposoby ograniczania przebiegów i tłumienia pasożytniczych drgań obwodu komutacyjnego. Podstawowym celem prowadzonych badań była analiza wpływu obwodów odciażających na łączeniowe straty energii, które są szczególnie istotne w przekształtnikach wysokiej częstotliwości.

Abstract. This work is devoted to influence of snubber circuits to the fast MOSFET switching. Basic phenomena associated with fast switching were described and sources of transistor current and voltage ringing were defined. The most popular methods of limiting overvoltage and suppressing of parasitic ringing of the MOSFET circuit were presented. The main purpose of the research was the impact of snubber circuits on MOSFET switching energy losses analysis, which are very important in high frequency converters. (The impact of snubber circuits on switching energy losses in high frequency converters).

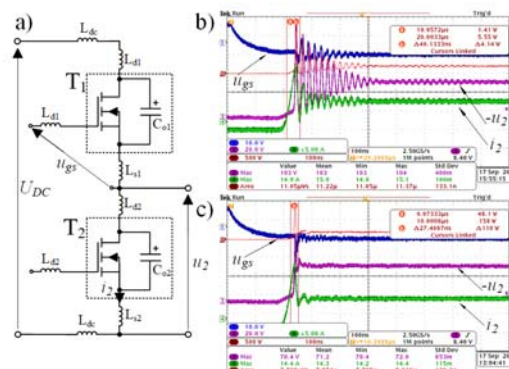
Słowa kluczowe: obwody odciażające, łączeniowe straty mocy, tranzystor mocy MOSFET, przekształtnik wysokiej częstotliwości.

Keywords: snubber circuit, switching energy losses, power MOSFET, high frequency converter.

Wstęp

Stosowane w przekształtnikach wysokiej częstotliwości (w.cz.) bardzo szybkie elementy półprzewodnikowe mocy (zarówno krzemowe, jak też wykonane w technologii szerokopasmowej) ujawniają negatywny wpływ pasożytniczych parametrów obwodów komutacyjnych [1-3]. Dotyczy to w szczególności indukcyjności połączeń oraz pojemności występujących w łącznikach (rys.1). Także w obwodach drukowanych, szczególnie w technologii wielowarstwowej, szerokie ścieżki przewodzące stanowią wraz z izolacją płytek FR4 naturalne kondensatory płaskie. Elementy te tworzą obwody rezonansowe o bardzo dużej częstotliwości f_r , które pobudzone procesami łączeniowymi o dużych stromościach napięcia du/dt i prądu di/dt generują silnie oscylacyjne przebiegi w obwodach przekształtników [4]. Są one źródłem zaburzeń elektromagnetycznych (EMI) które niekorzystnie wpływają na sąsiednie urządzenia, ale także na obwody pomiarowe i sterujące samego przekształtnika. Oprócz tego powodują występowanie przebiegów w obwodzie, które mogą przekraczać wytrzymałość napięciową przyrządów półprzewodnikowych i prowadzić do ich zniszczenia. Zjawiska te mogą być także przyczyną niekontrolowanych załączeń tranzystorów mocy, a te z kolei prowadzą do zwiększenia łączeniowych strat mocy lub nawet zwarcia skrośnych w gałęzi, prowadzących do uszkodzenia łącznika lub innego elementu obwodu i w rezultacie do awarii całego przekształtnika [4].

W praktyce stosuje się szereg rozwiązań mających na celu eliminację lub ograniczenie samych parametrów pasożytniczych obwodów (np. w procesie projektowania obwodów drukowanych, czy właściwym doborze podzespołów mocy i ich obudów [5]). Ponieważ nie jest możliwe całkowite wyeliminowanie wszystkich pasożytniczych parametrów obwodu, stosuje się także rozwiązania służące do ograniczania skutków istnienia tych parametrów. Począwszy od zmniejszenia stromości napięć i prądów podczas przełączeń tranzystorów lub poprzez specjalne obwody odciażające [6]. W literaturze spotykane są różne konfiguracje tych obwodów, które występują zarówno w postaci pasywnej jak też aktywnej. Istnieje też wiele opracowań analizujących skuteczność działania tych obwodów [2][7]. Jednak ich autorzy skupiają się głównie na eliminacji drgań oraz przebiegów, podczas gdy większość z tych obwodów wpływa także na łączeniowe straty energii, które w przypadku przekształtników w.cz. są jednym z kluczowych parametrów projektowych.



Rys.1. Schemat obwodu komutacyjnego przekształtnika z elementami pasożytniczymi L i C (a) oraz oscylogramy napięcia i prądu tranzystora podczas komutacji w gałęzi z pasożytniczymi elementami LC (b) oraz po zastosowaniu indywidualnych obwodów tłumiących RC na każdym łączniku (c)

Opis zjawisk

Źródłem drgań wartości chwilowej napięcia i prądu towarzyszących procesom łączeniowym są pasożytnicze pojemności i indukcyjności obwodu komutacyjnego. Drgania te wywoływane są bardzo dynamicznymi zmianami potencjałów w obwodzie du/dt , które wymuszają przepływ prądu charakteryzującego się dużą stromością di/dt . Wszystkie te elementy tworzą złożone obwody LC, które pobudzone w procesach łączeniowych dużymi zmianami wartości chwilowej napięcia, charakteryzują się drganiami, których częstotliwość wynika z zastępczych wartości elementów L_z i C_z :

$$(1) \quad f_r = \frac{1}{2\pi\sqrt{L_z C_z}}$$

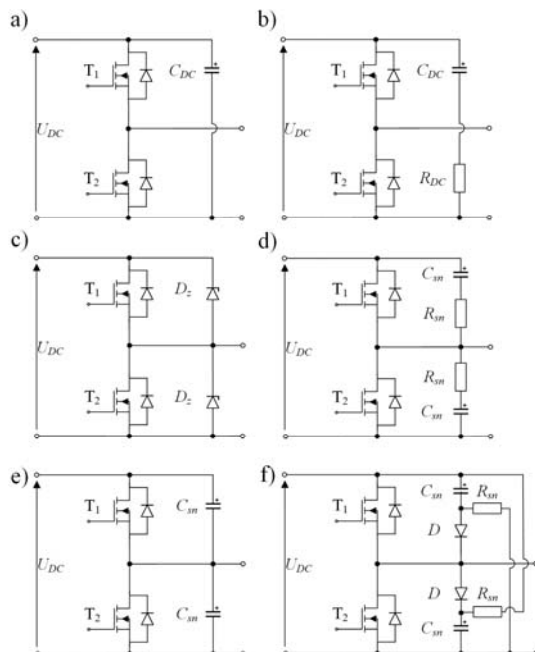
gdzie: f_r – częstotliwość rezonansowa drgań obwodu.

Pojemności pasożytnicze występują przede wszystkim w strukturach samych łączników energoelektronicznych (głównie w tranzystorach MOSFET oraz diodach Schottky'ego [8]). Zmniejszenie tych pojemności jest możliwe tylko w ograniczonym stopniu – np. poprzez zmianę łączników na inne lub odpowiednie prowadzenie ścieżek na PCB. Można się tu kierować zasadą że im większy dopuszczalny prąd przewodzenia, tym większe pojemności, wynikające z większej powierzchni złącz

półprzewodnikowych. W przypadku indukcyjności pasywnych to głównym ich źródłem są połączenia w obwodzie komutacyjnym oraz rodzaj obudowy łączników mocy [5]. W przeciwieństwie do pojemności, która w mniejszym stopniu zależy od projektanta obwodu, to w przypadku indukcyjności bardzo dużo zależy od samego projektu obwodu. Odległości pomiędzy łącznikami, wymiary geometryczne ścieżek prądowych oraz typ obudowy łącznika w dużej mierze determinują wypadkową wartość tych indukcyjności [9-10]. Przykładowe oscylogramy prezentujące drgania w obwodach komutacyjnych szybkich łączników energoelektronicznych zostały pokazane na rysunku 1b.

Obwody odciążające i tłumiące

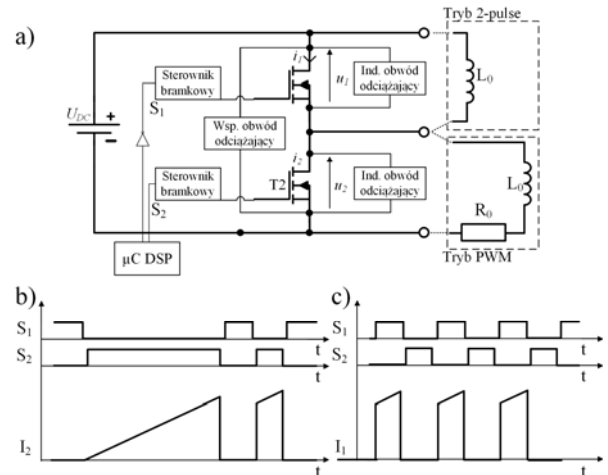
Spśród stosowanych najczęściej obwodów odciążających i tłumiących drgania (rys.2) wyróżniamy obwody wspólne dla całej gałęzi (a-b) oraz indywidualne dla każdego łącznika (c-f). Obwody wspólne służą głównie do minimalizacji wpływu pasywnych indukcyjności L_{DC} w pętli zasilania, eliminując głównie drgania w obwodzie DC i ograniczając przy tym zaburzenia elektromagnetyczne, lecz mają znikomy wpływ na straty energii w łącznikach. Zadaniem obwodów indywidualnych jest natomiast tłumienie drgań na danym łączniku, których źródłem są indukcyjności pasywnych doprowadzeń i wewnętrzne pojemności tranzystora C_o (głównie pojemność wyjściowa). Oprócz tłumienia drgań, obwody te mają również wpływ na łącznikowe straty energii, gdyż ładunek dodatkowej pojemności C_{sn} , dołączonej do tranzystora zwiększa wartość prądu tranzystora podczas twardej komutacji [8]. Wyjątkiem jest tu układ DRC, w którym dodatkowa dioda służy właśnie do odprowadzenia ładunku dodatkowej pojemności C_{sn} poza głównym obwodem komutacyjnym [6]. Celem dalszych badań jest analiza każdego z tych obwodów umożliwiającą określenie bilansu energetycznego gałęzi mostka z tranzystorami MOSFET.



Rys.2. Schematy obwodów odciążających stosowanych w gałęzi z dwoma tranzystorami (tzw. półmostku): a) wspólny kondensator C, b) wspólny obwód RC, c) indywid. diody Zenera, d) indywid. obwody RC, e) indywid. kondensatory C, f) indywid. obwody DRC

W związku z powyższym, badania przeprowadzone w ramach tej pracy będą się odnosić do układu, którego schemat został przedstawiony na rysunku 3. Topologią układu eksperymentalnego tworzy gałąź złożona z dwóch

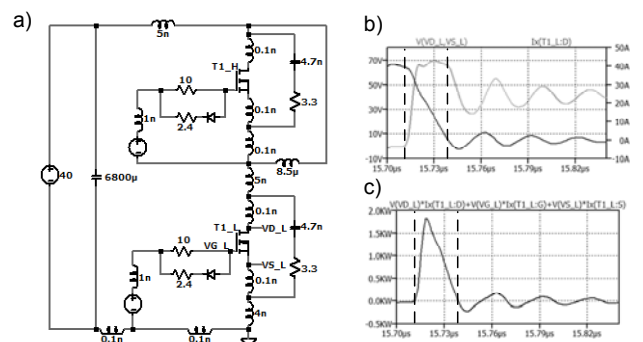
szybkich niskonapięciowych tranzystorów MOSFET IRFS4010-7P w obudowach D2Pack-7 [11], zasilana z regulowanego źródła napięcia stałego U_{DC} . Sterowniki bramkowe, przystosowane do szybkiego przełączania tranzystorów zbudowano w oparciu o zintegrowany układ wzmacniacza mocy z izolacją galwaniczną – Si827. Zastosowano dodatkowo bipolarnie napięcie zasilania (+12, -5V), z uwagi na spodziewane ryzyko wystąpienia zakłóceń w obwodzie bramki. Do sterowania cyklem załączenia i wyłączenia tranzystorów użyto układu z mikroprocesorem TMS320F28377 firmy TI taktowanego zegarem 200MHz.



Rys.3. Schemat ideowy badanego układu (a) do testów dwupulsowych (b) i badania w pracy ciągłej - tryb PWM (c)

Badania symulacyjne

Badania symulacyjne były wykonywane w środowisku SPICE, ze względu na dostępność modelu rzeczywistego tranzystora MOSFET, użytego w układzie eksperymentalnym. Zbudowano model gałęzi dwutranzystorowej z uwzględnieniem pasywnych elementów obwodu (rys.4), zachowując te same parametry co w układzie laboratoryjnym.

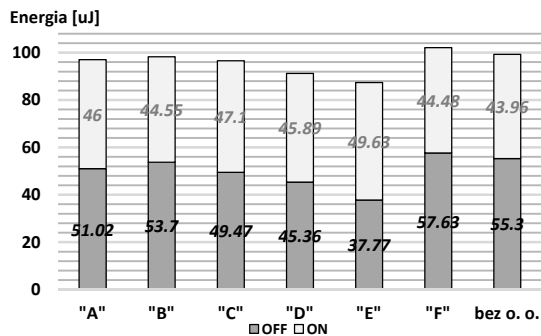


Rys.4. Model symulacyjny (a) oraz przebiegi napięcia i prądu (b) oraz mocy chwilowej (c) tranzystora podczas komutacji

W pierwszym etapie niezbędne było przeprowadzenie identyfikacji elementów pasywnych obwodu, tak aby najwierniej zamodelować badany układ eksperymentalny. Identyfikacja parametrów obwodu była przeprowadzana na podstawie dokonanych obserwacji oscyloskopowych w modelu laboratoryjnym, w którym brano pod uwagę zarówno częstotliwość rezonansową, stromości du/dt oraz di/dt , czasy trwania procesów komutacyjnych dla ustalonych warunków pracy.

Model symulacyjny wykorzystano do wstępnego doboru wartości elementów R_{sn} i C_{sn} oraz do oceny ich wpływu na łącznikowe straty energii, zarówno w przypadku obwodów

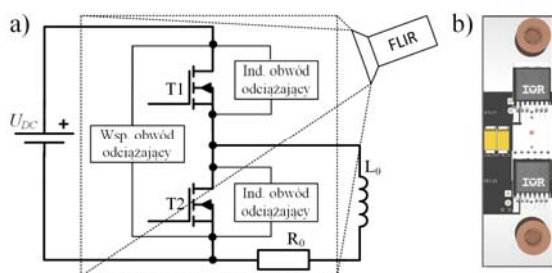
Badania eksperymentalne polegały na rejestracji przebiegów wartości chwilowej napięcia i prądu tranzystora podczas załączania i wyłączania tranzystorów w takich samych warunkach, tj. $U_{DC}=40V$, $I_{sw}=40A$, $t_{di}=100ns$, dla wszystkich analizowanych obwodów odciażających. Na podstawie tych rejestracji wyznaczano całkę oznaczoną przebiegu mocy chwilowej p_2 . Wybrane wyniki obserwacji eksperymentalnych podczas wyłączania tranzystora dolnego T2 pokazano na rysunku 7. Należy pamiętać, że mimo iż sonda napięciowa była wpięta do obwodu tak, aby zminimalizować pętlę masy, to zarejestrowany przebieg napięcia u_2 uwzględnia także jej pasożytniczy wpływ. Oszacowane wartości energii załączania i wyłączania tranzystora dolnego T2 (rys.8) są w dużym stopniu zbliżone z wynikami uzyskanymi w modelu symulacyjnym.



Rys.8. Wyniki pomiarów energii E_{on} i E_{off} tranzystora dolnego T2 metodą pomiarów oscyloskopowych

Należy jednak podkreślić, że uzyskane rezultaty nie pozwalają jednoznacznie stwierdzić, który z układów jest najbardziej korzystny energetycznie. Niewielkie różnice są bowiem na granicy błędu pomiarowego, wynikających z niedoskonałości przyjętej metody obserwacji.

W związku z powyższym zdecydowano się przeprowadzić dodatkowe badania laboratoryjne metodą obserwacji dynamicznych zmian temperatury tranzystorów, która zależy bezpośrednio od mocy strat tych elementów. Eksperyment polegał na uruchomieniu układu laboratoryjnego w trybie ciągłym (PWM) z odbiornikiem RL (rys.9). Parametry tych prób były następujące: $U_{DC}=40V$, $I_{on}=10A$, $I_{off}=15A$, $L_o=8\mu H$, $R_o=1\Omega$, $f_{sw}=100kHz$, $d_{T1}=2/3$, $t_{di}=100ns$.

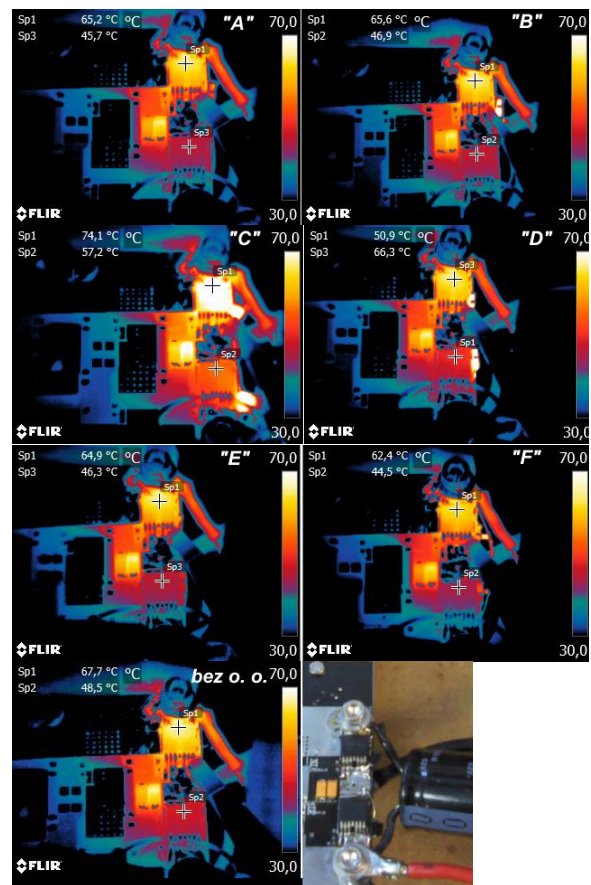


Rys.9. Schemat ideowy układu do badań dynamicznych zmian temperatury kamerą termowizyjną Flir E60 (a) oraz widok gałęzi tranzystorowej na PCB (b)

Tabela 2. Wyniki pomiarów termowizyjnych

Układ	Temperatura T1 [°C]		Temperatura T2 [°C]	
	T1 pocz.	T1 kon.	T2 pocz.	T2 kon.
A	28,3	65,2	27,5	45,7
B	28,5	65,6	27,9	46,9
C	30,3	74,1	29,8	57,5
D	27,5	66,3	27,1	50,9
E	29	64,9	28,4	46,3
F	26,7	62,4	25,6	44,5
bez o.o.	31,2	67,7	30,2	48,5

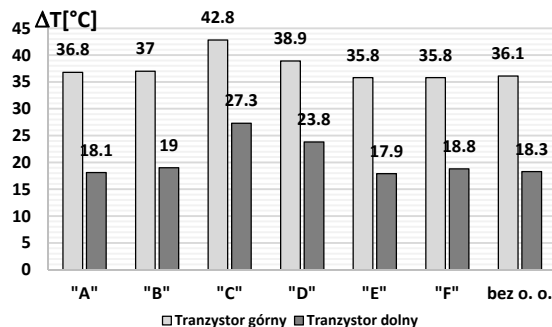
W tym celu przygotowano odpowiednie stanowisko pomiarowe, wyposażone w kamerę termowizyjną Flir E60, której producent deklaruje dokładność pomiaru temperatury na poziomie $2^{\circ}C$ lub 2% wartości zmierzonej. Obudowy badanych tranzystorów mają czarną, matową powierzchnię, dlatego dokładność tych pomiarów można uznać za zgodną z deklaracją producenta. Dodatkowo ze względu na charakter badania (porównywany jest przyrost temperatury, a nie jej ustalona wartość) oraz te same warunki przeprowadzonych testów, ewentualne niedoskonałości przyjętej metody wpływające na bezwzględny błąd pomiaru temperatury nie mają wpływu na ostateczne wyniki uzyskane w tym doświadczeniu. Dzięki zastosowaniu dedykowanego oprogramowania FLIR, możliwe było skorygowanie wpływu zewnętrznych warunków pomiaru, jak również ustalenie wspólnego zakresu pomiarowego, który pozwala lepiej porównywać uzyskane wyniki.



Rys.10. Wyniki badania wpływu obwodów odciażających na łączeniowe straty energii w tranzystorach metodą pomiarów dynamicznych zmian temperatury, kolejno: z obwodami typu „A”, „B”, „C”, „D”, „E”, „F” oraz w ukl. bez o.o., gdzie Sp1 i Sp2 – temp. obudów T1 i T2, Sp3 – Sp5 – temp. rezystorów obw. odciażających R_{DC} i R_{sn}

Obserwacje pracy ciągłej tranzystorów były wykonywane w czasie pierwszych 2 minut, przy czym rejestracji temperatury tranzystorów kamerą termowizyjną dokonywano na początku ($T_{pocz.}$) i na końcu eksperymentu ($T_{kon.}$). Wyniki obserwacji umieszczono w tabeli 2, a wybrane obrazy termiczne zaprezentowano na rysunku 10. Analizując otrzymane rezultaty (rys.11) można jednoznacznie stwierdzić, że stosowanie obwodów odciażających i tłumiących wpływa na straty mocy w tranzystorach MOSFET. Najmniejsze straty energii tranzystorów otrzymano stosując wspólny kondensator C_{DC} lub indywidualne obwody DRC. To drugie rozwiązanie

pozwala dużo skuteczniej tłumić drgania napięcia i prądu tranzystora ograniczając zaburzenia EMI. W niniejszym badaniu nie uwzględniono dodatkowych strat mocy, których źródłem są rezystory i diody Zenera, zastosowane w obwodach pomocniczych i także mają wpływ na całkowitą sprawność energetyczną przekształtnika.



Rys.11. Wyniki obserwacji dynamicznych zmian temperatury ΔT

Podsumowanie

Z powyższych doświadczeń wynika, że szacunki energii przełączania w oparciu o przebiegi prądu i napięcia tranzystorów MOSFET nie są wystarczająco precyzyjne, gdyż nie uwzględniają zjawiska tymczasowego magazynowania energii w pojemnościach pasożytniczych tranzystorów C_o i dodatkowej pojemności C_{sn} , która nie zawsze jest tracona. Dodatkowo, ze względu na oscylacyjny charakter przebiegu wartości chwilowej mocy, występują trudności w interpretacji części mocy odpowiedzialnej za straty, przez co pomiary te są obciążone dużą niepewnością. Rozwiązaniem tego problemu są zastosowane w badaniach dynamiczne pomiary termowizyjne. Przyjęta metodologia tych badań pozwala zniwelować większość bezwzględnych błędów pomiaru kamerą termowizyjną, takich jak niedokładność przetwornika kamery, niedopasowany współczynnik emisyjności itp. Ponadto pomiary te pokazują nie tylko moc traconą w tranzystorach, ale przy okazji obrazują także straty w rezystorach i diodach obwodów pomocniczych, która również wpływa na sprawność przekształtnika. Moc strat tych dodatkowych elementów nie była analizowana w tej pracy, jednak zarejestrowane obrazy termiczne oraz zdolność rozpraszania mocy w obudowach SMD zarówno rezystorów jak i diod Zenera (1206 i SMA) pozwala

oszacować ich wartość jako nie większą niż 0,5-1W na element. Moc ta jest jednak rozpraszana poza łącznikami półprzewodnikowymi.

Podziękowania dla Pana Mikołaja Koszela za pomoc w przygotowaniu modelu i badań symulacyjnych.

Praca naukowa współfinansowana ze środków na działalność statutową Wydziału Elektrycznego Politechniki Warszawskiej w roku 2019.

Autorzy: dr inż. Piotr Grzejszczak, mgr inż. Adam Czaplicki, mgr inż. Marek Szymczak, prof. dr hab. inż. Roman Barlik, Politechnika Warszawska, Wydział Elektryczny, pl. Politechniki 1, 00-661 Warszawa, E-mail: <imię>.<nazwisko>@ee.pw.edu.pl.

LITERATURA

- [1] Chen J., Luo Q., Huang J., He Q., Sun P., Du X., Analysis and Design of an RC Snubber Circuit to Suppress False Triggering Oscillation for GaN Devices in Half-Bridge Circuits, *IEEE Trans. on Power Electron.* (2019), (Early Access)
- [2] Yi P., Cui Y., Vang A. Wei L., Investigation and evaluation of high power SiC MOSFETs switching performance and overshoot voltage, *IEEE Applied Power Electron. Conf. and Exposition (APEC)*, San Antonio, TX, 2018, pp. 2589-2592
- [3] GN001 Application Guide Design with GaN Enhancement Mode HEMT, www.gansystems.com, 2018
- [4] Grzejszczak P., Nowak M., Barlik R., Procesy łączeniowe tranzystorów MOSFET w mostkach wysokonapięciowych, *Elektronika*, 90 (2012), n.11, 74-77
- [5] Application Note AN 2012-03, Simple Design Techniques for Optimizing Synchronous Rectification from Infineon: www.infineon.com [2019]
- [6] Barlik R., Nowak M., Rąbkowski J. Poradnik inżyniera energoelektronika. T.2. (2015), WNT
- [7] Niewiara Ł.J., Skiński M., Tarczewski T., Grzesiak L.M., Experimental study of snubber circuit design for SiC power MOSFET devices, *Computer Applications in Electrical Engineering*, 13 (2015), 120-131
- [8] Grzejszczak P., Nowak M., Barlik R., Analityczny opis łączeniowych strat energii w wysokonapięciowych tranzystorach MOSFET pracujących w mostku, *Przegląd Elektrotechniczny*, 91 (2015), n.9, 41-45
- [9] Yamashita Y., Furuta J., Inamori S., Kobayashi K., Design of RCD snubber considering wiring inductance for MHz-switching of SiC-MOSFET, *IEEE 18th Workshop on Control and Modeling for Power Electron.* (2017), Stanford, CA, 1-6.
- [10] Weiler A., Pakosta, Verma A., High-Speed Layout Guidelines, *Application Report*, A. Texas Instruments, www.ti.com [2019]
- [11] IRFS4010-7P, karta katalogowa, www.infineon.com [2019]