

doi:10.15199/48.2020.08.28

Przetwarzanie sygnału o zmiennej częstotliwości systemem pomiarowym z układem FPGA

Streszczenie. Istnieją różne metody przetwarzania informacji przekazywanej sygnałem o zmiennej częstotliwości. Jedną z nich jest bezpośrednia konwersja częstotliwości w wartości liczbowe (f/N). Zwykle wówczas wykorzystuje się układy licznikowe. Artykuł prezentuje implementację funkcjonalności przetwornika f/N w strukturze FPGA będącej elementem karty pomiarowej myRIO. Zaprezentowano oprogramowanie systemu pomiarowego, zamieszczono wyniki pracy i omówiono błędy przetwarzania informacji w omawianym systemie.

Abstract. There are various methods of information processing transmitted by a variable frequency signal. One of them is the direct conversion of frequencies into numerical values (f/N). The counter systems are usually used at that time. The article presents the implementation of the f/N converter functionality in the FPGA structure being part of the myRIO measurement card. The measurement system software was presented, the results of the work were presented and the errors of information processing in the discussed system were discussed. (**Variable frequency signal processing using a measurement system with FPGA device**).

Słowa kluczowe: częstotliwość, pomiar częstotliwości, przetwornik częstotliwość-kod, LabVIEW

Keywords: frequency, frequency measurement, frequency-to-code converter, LabVIEW

Wstęp

Układy przetwarzające wielkość fizyczną w częstotliwość (X/f) są interesującą alternatywą dla innych grup przetworników [1, 2]. Zalety ich szczególnie są zauważalne podczas transmisji informacji o wynikach przetwarzania przebiegów wolnozmiennych w otoczeniu wytwarzającym zakłócenia elektromagnetyczne, ze względu na dużą odporność sygnału częstotliwościowego na zakłócenia [3].

Przetwarzanie f/N może się odbywać różnymi drogami [1, 2, 4]. Można zastosować przetwarzanie częstotliwości w napięcie (f/U) i kartę pomiarową ze standardowym wejściem analogowym. Jest to rozwiązanie łatwe do realizacji. Należy jednak pamiętać, że wartości liczbowe wytwarzane przez kartę pomiarową obciążone są błędami generowanymi w pośrednich stopniach przetwarzania (np. f/U czy układach kondycjonowania). W niektórych zastosowaniach może być istotny problem generowania przez system pomiarowy wartości liczbowych z zadeklarowanym krokiem próbkowania, niezależnie od zmienności parametru badanego. W klasycznym przetworniku analogowo-cyfrowym, niezależnie od badanej częstotliwości liczba odczytanych z karty pomiarowej wartości będzie stała i stosunkowo duża.

Pominięcie pośrednich stopni przetwarzania i zmniejszenie liczby wytwarzanych wartości liczbowych do reprezentujących poszczególne okresy sygnału, umożliwia zastosowanie przetworników f/N [2, 5]. Stałe prowadzone są badania mające na celu poprawę istniejących oraz tworzenie nowych konstrukcji przetworników f/N [6, 7, 8].

Zasada działania

Relacje pomiędzy pokazanym na rysunku 1 przebiegiem wielkości badanej $x(t)$ a częstotliwością sygnału wyjściowego przetwornika X/f opisuje zależność:

$$(1) \quad x(t) = Kf_{xi} = \frac{1}{T_{xi}}$$

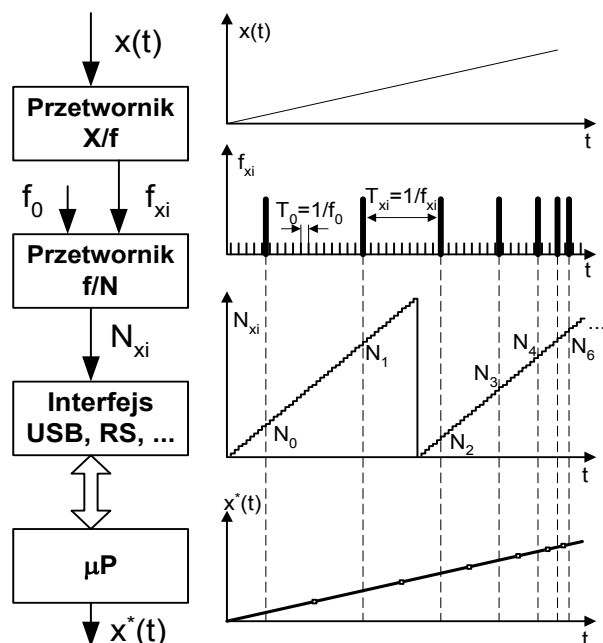
gdzie: K – stała przetwarzania przetwornika X/f , T_{xi} – czas trwania pojedynczego okresu sygnału wyjściowego przetwornika X/f .

Przetwarzanie częstotliwości sygnału wyjściowego z przetwornika X/f przebiega według ogólnie znanej metody cyfrowego pomiaru przedziału czasu. Jedyną różnicą jest

fakt, że pomiar realizowany jest w sposób ciągły. Obliczenia opierają na zależności:

$$(2) \quad T_{xi} = N_{xi}T_0 = (N_i - N_{i-1})T_0$$

gdzie: N_{xi} – wartość liczbową reprezentującą różnicę stanów licznika wewnętrznego przetwornika f/N , T_0 – okres sygnału wzorcowego, N_i, N_{i-1} – stany licznika odczytane na początku i końcu danego T_{xi} .



Rys.1. Podstawowa struktura systemu pomiarowego opartego o częstotliwościowy nośnik informacji i przebiegi w ważniejszych punktach systemu

Zarówno sam system pomiarowy jak i zastosowany przetwornik f/N wprowadzają do przetwarzanej informacji błędy. Analiza błędów przetwarzania informacji δ_Σ przez elementy składowe została przedstawiona w [5, 8]. Błąd δ_Σ często wyznacza się przyjmując sinusoidalny przebieg wielkości $x(t)$:

$$(3) \quad x(t) = X_0 + X_m \sin(2\pi Ft)$$

gdzie: X_0 – składowa stała sygnału badanego $x(t)$, X_m – amplituda sygnału $x(t)$, F – częstotliwość sygnału $x(t)$.

Przyjmując brak przesunięcia fazowego pomiędzy przebiegiem zadany $x(t)$ i odtworzonym $x^*(t)$ oraz idealne przetwarzanie X/f , błąd przetwarzania można opisać zależnością [9]:

$$(4) \delta_{\Sigma} = \left(\frac{T_g}{T_{xi}} + \left(2 - \frac{\sin \pi T_{xi} F}{\pi T_{xi} F} - \frac{\sin \Omega T_{xi}}{\Omega T_{xi}} \right) \frac{1}{\frac{X_0}{X_m} + 1} \right) * 100\%$$

gdzie $\Omega = 2\pi F$.

W publikacji [9] pokazano, że błąd δ_{Σ} zmienia swoją wartość w zależności od częstotliwości f_{xi} . Na początku zakresu ma stosunkowo dużą wartość powodowaną uśredniającym charakterem pracy przetwornika f/N wywołanym długim czasem generowania T_{xi} . Wraz ze wzrostem częstotliwości f_{xi} błąd δ_{Σ} maleje do charakterystycznego dla danych warunków pomiaru minimum. Dalszy wzrost f_{xi} powoduje wzrost błędu δ_{Σ} wywołany wzrostem błędu kwantowania przetwornika f/N.

Cyfrowy pomiar przedziału czasu realizowany jest z wykorzystaniem układu licznikowego. W przypadku pomiaru ciągłego często stosuje się licznik z rejestrem przechwytyjącym lub układ dwu liczników. Liczniki mogą być odrębnymi układami, zawarte w strukturach układów mikrokontrolerów, jest również możliwość tworzenia struktur liczników w bardzo popularnych układach programowalnych (np. FPGA). Przykłady propozycji zastosowania układów FPGA w pomiarach czasu i częstotliwości można znaleźć np. w [10, 11].

Artykuł prezentuje jedną z możliwości zastosowania układu FPGA w pomiarze kolejnych okresów sygnału o zmiennej częstotliwości. Przyjęto, że dopuszczalna wartość błędu δ_{Σ} to 1%. Podjęto próbę eksperymentalnej analizy możliwości przetwarzania zmiennej częstotliwości z wykorzystaniem karty pomiarowej myRIO [12] firmy National Instruments zawierającej w swojej strukturze układ FPGA. Uznano, że zadowalającą rozdzielczość zapewni 32 bitowy licznik sterowany sygnałem o częstotliwości 5 MHz lub 100 MHz ustawianej przez użytkownika. Wartości N_{xi} z przetwornika f/N będą przekazywane do nadrzędnego komputera PC celem przetwarzania i analizy danych. Uznano, że do tworzenia systemu pomiarowego, ze względu na swoje zalety i kompatybilność z wybraną kartą pomiarową, będzie użyte środowisko programistyczne LabVIEW.

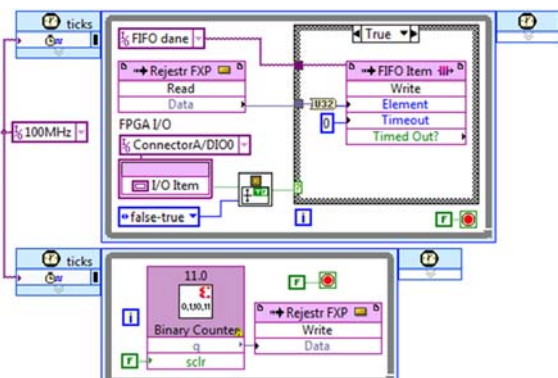
Przetwornik „częstotliwość-kod”

W proponowanym systemie pomiarowym karta pomiarowa myRIO pełni rolę przetwornika f/N, czyli służy do pozyskiwania surowych danych pomiarowych. Przyjęto, że będzie realizować funkcjonalność układu pomiaru okresu z rejestrem przechwytyjącym aktualny stan licznika zrealizowanego w układzie FPGA. Algorytm działania pokazano na rysunku 2. Program rozpoczyna pracę od połączenia z komputerem nadrzędnym. Odczytuje zadane przez użytkownika parametry pomiaru i oczekuje na sygnał rozpoczęcia akwizycji danych. Przy tworzeniu aplikacji ustalono, że granicą kolejnych okresów będzie narastające zbocze sygnału. Stąd kolejnym krokiem jest kontrola, czy wymagane zbocze wystąpiło. W momencie zaistnienia następuje odczyt wartości z układu licznika i zapisanie go w kolejce FIFO. Po zakończeniu pomiarów dane przekazywane są do jednostki nadrzędnej i pomiar zostaje zakończony.

Na rysunku 3 został przedstawiony diagram programu dla struktury FPGA opracowany w środowisku LabVIEW. Jego zadaniem jest odczyt i zachowanie wartości chwilowej licznika w momencie wykrycia zbocza narastającego w przebiegu wejściowym przetwornika f/N.



Rys. 2. Algorytm aplikacji przetwornika f/N realizowany w strukturze FPGA



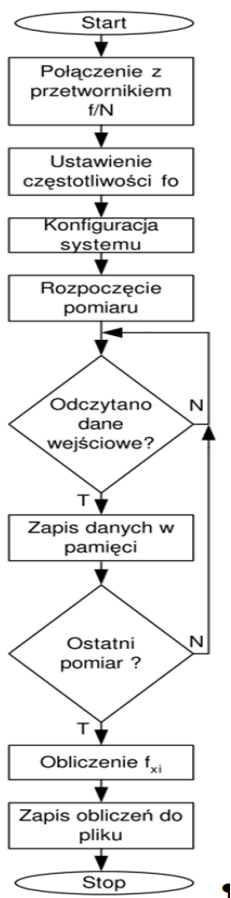
Rys. 3. Diagram aplikacji przetwornika f/N realizowany w strukturze FPGA

Program składa się z dwóch pętli WHILE sterowanych źródłem przebiegu częstotliwości odniesienia, w zależności od ustawienia 5 MHz lub 100 MHz. Wykrycie zmiany wartości sygnału wejściowego ze stanu niskiego na wysoki powoduje, z użyciem struktury CASE, zapis aktualnego stanu licznika do kolejki FIFO. Wartości N_i (rys.1), po zestawieniu w kolejce, są przekazywane do przetwarzania

w komputerze nadrzędnym. Do wyznaczania wartości liczbowych, reprezentujących granice kolejnych okresów, służy 32 bitowy licznik widoczny w dolnej pętli.

Oprogramowanie komputera nadrzędnego

Na rysunku 4 został przedstawiony algorytm aplikacji zainstalowanej na komputerze PC.

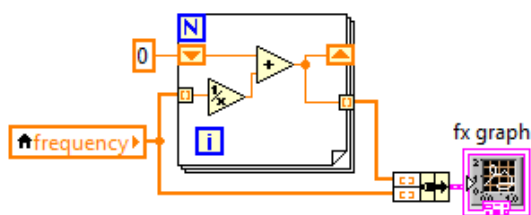


Rys.4. Algorytm aplikacji realizowanej na komputerze PC

Pomiar składa się z kilku etapów. Pierwszym jest oczyszczenie kolejki FIFO z danych historycznych. Następnym krokiem jest odczyt danych z przetwornika f/N. Liczba jednorazowo odbieranych wartości jest konfigurowana przez użytkownika. Kolejnym krokiem po pomiarze jest realizacja obliczeń wartości T_{xi} i f_{xi} według wzorów (1) i (2).

Pierwszy etap obliczeń to uzyskanie różnic N_{xi} . Po skompletowaniu wartości N_{xi} , program oblicza wartości czasów międzyimpulsowych, a następnie kolejnych wartości częstotliwości f_{xi} . Wyniki pomiarów i obliczeń są zapisywane na dysku komputera PC.

Aplikacja komputera nadrzędnego realizuje zasadę pracy maszyny stanów.



Rys. 5. Tworzenie wykresu częstotliwości sygnału wejściowego przetwornika f/N

Przykładowo rysunek 5 przedstawia stan przetwarzający uzyskane częstotliwości, dla przebiegu wejściowego przetwornika f/N, w kolejne przedziały czasu, tworzące oś czasu dla wykresu częstotliwości prezentowanego na wskaźniku „fx graph”. Chwile czasu t_i dla kolejnych f_{xi} wylicza się sumując wartość czasu otrzymaną dla poprzedniej i bieżącej iteracji programu [5]:

$$(5) \quad t_i = 0,5T_{xi} + T_{\Sigma}$$

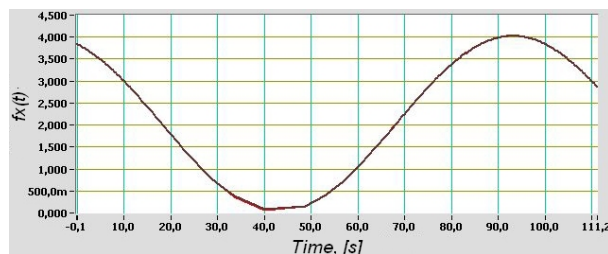
gdzie T_{Σ} - suma poprzednich okresów T_{xi} .

Wyniki

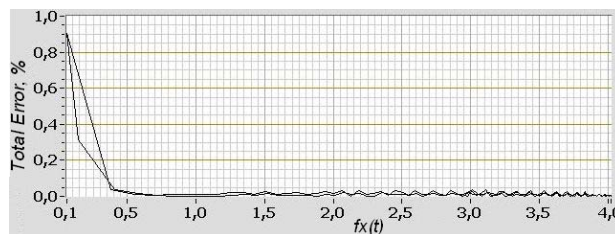
Przeprowadzono eksperymentalną weryfikację opracowanego przetwornika f/N.

Uznano, że najlepszym z punktu przeprowadzanego eksperymentu rozwiązaniem, będzie zastąpienie przetwornika X/f jak najdokładniejszym źródłem sygnału o zmiennej częstotliwości. W ten sposób zminimalizowano wpływ przetwarzania X/f na błąd wypadkowy.

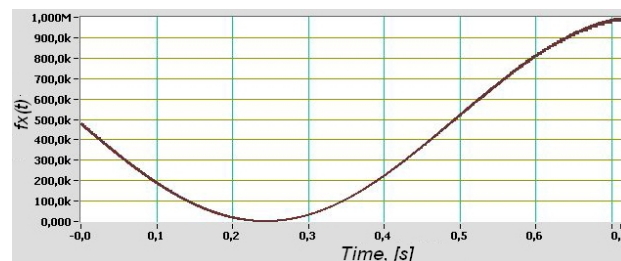
Do wytwarzania sygnału testowego o zmiennej częstotliwości wykorzystano programowalny generator HP3320A, charakteryzujący się wystarczającą dokładnością i stabilnością wytwarzanego przebiegu [9], którego parametry można zadawać w bardzo szerokim zakresie.



Rys. 6. Przykład rejestracji sinusoidalnego przebiegu testowego o $F = 0,01$ Hz w niskim zakresie przetwarzania przetwornika f/N dla $f_0 = 5$ MHz



Rys. 7. Eksperymentalnie uzyskana krzywa błędu przetwarzania informacji dla przebiegu przedstawionego na rysunku 6



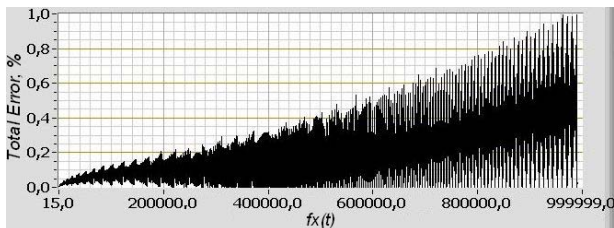
Rys. 8. Przykład rejestracji sinusoidalnego przebiegu testowego o $F = 1$ Hz w pełnym zakresie przetwarzania przetwornika f/N dla $f_0 = 100$ MHz

Uzyskane z eksperymentu wartości błędu przetwarzania pokrywają się z przebiegiem błędu uzyskanym drogą teoretyczną [9]. Zamieszczone na rysunkach 6, 7, 8, 9 przykładowe wyniki pokazują granice przetwarzania dla najmniejszych i największych częstotliwości.

Na podstawie przedstawionych wyników można wywnioskować o możliwościach przetwarzania zmiennej częstotliwości sygnału przez zaprezentowany przetwornik.

Dla częstotliwości generatora zegarowego f_0 ustawionej na 5 MHz widać, że istnieje możliwość pomiaru, z błędem mniejszym niż 1%, częstotliwości wejściowej przetwornika częstotliwość-kod o wartości 100 mHz.

Dla częstotliwości f_0 wynoszącej 100 MHz górny zakres przetwarzania dla błędu 1% to 1 MHz.



Rys. 9. Eksperymentalnie uzyskana krzywa błędu przetwarzania informacji dla przebiegu przedstawionego na rysunku 8

Ponieważ w przedziale częstotliwości pośrednich błąd przetwarzania jest zawsze mniejszy [9], można uznać, że zakres pomiarowy przyrządu mieści się w granicach 100 mHz do 1 MHz.

Podsumowanie

W realizacji przetwornika „częstotliwość–kod” karta MyRIO jako konwerter okazała się konstrukcją bardzo użyteczną.

Elastyczność doboru częstotliwości sygnału generatora zegarowego umożliwiła uzyskanie szerokiego zakresu mierzonej częstotliwości. W testach zadawano dwie wartości częstotliwości 5 MHz i 100 MHz.

Przyjęto, że dopuszczalny błąd przetwarzania przetwornika „częstotliwość–kod” nie może być większy niż 1%. Przy założonym ograniczeniu zakres pomiarowy dla przebiegu o zmiennej częstotliwości zawiera się w granicach 100 mHz ÷ 1 MHz. Tak szeroki zakres przetwarzania pozwala na przetwarzanie sygnału wyjściowego większości przetworników wielkości fizycznej w częstotliwość istniejących na rynku.

Analiza uzyskanego eksperymentalnie błędu przetwarzania potwierdza znane teoretyczne przebiegi błędów w torze pomiarowym z częstotliwościowym nośnikiem informacji.

Przyjęte do realizacji projektu założenia okazały się słuszne. Powierzenie aplikacji przetwornika "częstotliwość-kod" funkcji pomiaru i transmisji surowych danych pomiarowych do komputera nadrzędnego PC pozwoliło maksymalnie zwiększyć wydajność układu akwizycji

danych. Umieszczenie w funkcjonalności aplikacji jednostki nadrzędnej przetwarzania i analizy danych umożliwiło efektywne wykorzystanie możliwości obliczeniowych komputera PC. W efekcie, jak zaprezentowano w publikacji, otrzymano wydajny, o szerokim zakresie pomiarowym, przyrząd do pomiaru kolejnych okresów sygnału.

Autor: dr inż. Piotr Warda, Politechnika Lubelska, Katedra Automatyki i Metrologii, Wydział Elektrotechniki i Informatyki, ul. Nadbystrzycka 38D, 20-618 Lublin, E-mail: p.warda@pollub.pl.

LITERATURA

- [1] G.C.M. Meijer, Smart Sensor Systems, New York: Wiley (2008)
- [2] N.O. Shpak, N.V. Kirianaki, S.Y. Yurish, and V.P. Deynega, Data acquisition and signal processing for smart sensors, Baffins Lane: John Wiley & Sons (2001)
- [3] P. Warda, Measurement data transmission in the presence of electromagnetic fields, 2017 International Conference on Electromagnetic Devices and Processes in Environment Protection with Seminar Applications of Superconductors (ELMECO & AoS) (2017), 1-4
- [4] B. Boashash, Estimating and Interpreting The Instantaneous Frequency of a Signal-Part 1: Fundamentals, *Proceedings of The IEEE*, Vol. 80 (1992), No. 4, 520-538
- [5] P. Warda, Adaptive correction of the quantisation error in the frequency-to-code converter, *Methods and Models in Automation and Robotics*, (2017), pp. 226-231, doi: 10.1109/MMAR.2017.8046829
- [6] Ch. Cheng-Ta, W. Chi-Shen, and H. Yu-Chung, A CMOS Integrated Capacitance-to-Frequency Converter with Digital Compensation Circuit Designed for Sensor Interface Applications", *Proc. of IEEE Sensors* (2007), 954-957
- [7] R. Aragones, J. Oliver, C. Ferrer, A System Clock Precision Frequency to Code Converter for Low Power Supply Dependence ROIC, IEEE 4th Latin American Symposium on Circuits and Systems 2013
- [8] D. Świsulski, R. Hanus, M. Zych, L. Petryka, Methods of measurement signal acquisition from the rotational flow meter for frequency analysis, *EPJ Web Conf.*, vol. 143 (2017), 2124
- [9] P. Warda, Error of conversion of "physical quantity-to-frequency" converter output signal, *Proceedings of SPIE* (2016), ISSN 0277-786X; nr 10161
- [10] V. Kirianaki, Nikolay & Yurish, Sergey. Programmable Measurement Converter Based on Advanced Methods for Phase Shift - and Frequency - to - Code Conversion. *IFAC Proceedings Volumes*. 36 (2003), 339-342
- [11] R. Jiménez, M. Sánchez-Raya, T. Sánchez-Rodríguez, C. Rubia-Marcos and J. Galán, FPGA-based implementation of a real-time timing measuring device, 2013 European Conference on Circuit Theory and Design (ECCTD), pp. 1-4. doi: 10.1109/ECCTD.2013.6662256
- [12] NI myRIO-1900, User guide and specifications, *National Instruments*(2018)