

Algorytmy minimalizacji błędu bąbelkowego w precyzyjnej metrologii odcinka czasu

Streszczenie. Referat dotyczy zagadnień związanych z konstrukcją wysokorozdzielczych systemów przeznaczonych do precyzyjnego pomiaru odcinka czasu implementowanych w strukturach programowalnych FPGA. Zawarto w nim najistotniejsze informacje na temat zastosowanych algorytmów sortowania segmentów linii wymaganych do uzyskania systemów o większej liniowości i rozdzielczości czasowej. Zaproponowane podejście umożliwia skuteczną minimalizację wpływu błędu bąbelkowego na proces przetwarzania.

Abstract. The paper describes issues related to the design of high-resolution time-interval measuring systems implemented in FPGA programmable structures. It contains the most important information on the applied of the line's segment sorting algorithms required to obtain systems with higher time resolution and linearity. The proposed approach makes it possible to effectively minimize the impact of bubble error on the conversion process. The presented solution is important from the perspective of designing high-resolution TDCs operating with multiplied delay lines. (**Algorithms for minimizing bubble error in precision time-interval metrology.**)

Słowa kluczowe: wielosegmentowa linia opóźniająca, pomiar odcinka czasu, błąd bąbelkowy, FPGA.

Keywords: tapped delay line, time interval measurement, bubble error, FPGA.

Wstęp

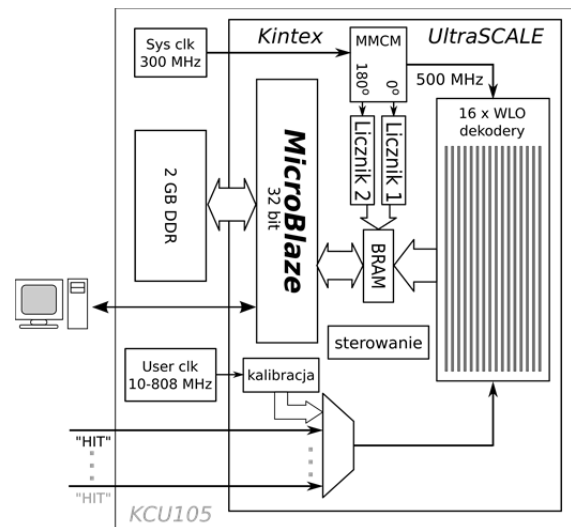
W szybkich przetwornikach analogowo-cyfrowych typu flash proces kwantyzacji realizowany jest za pomocą $k=2n-1$ komparatorów w sposób równoległy, gdzie n oznacza liczbę bitów przetwornika ADC. Spodziewanym wynikiem jest ciąg jedynek na wyjściach komparatorów dla wartości napięć odniesienia mniejszych od napięcia mierzonego i zer dla napięć większych. Zapisany w kodzie termometrycznym wynik [1,2], dzięki zastosowaniu enkodera priorytetowego konwertowany jest ostatecznie na n -bitowy naturalny kod binarny. Teoretycznie, przy prawidłowej pracy takiego przetwornika, wymaga się, aby wartości napięć odniesienia wyznaczały idealne progi kwantyzacji, a użyte komparatory posiadały jednakowe czasy porównania i idealne charakterystyki przetwarzania. W rzeczywistych przetwornikach warunki te nie zawsze muszą być spełnione. Powodem tego mogą być zarówno rozrzuty produkcyjne elementów składowych jak i wpływ czynników zewnętrznych powodujących wzrost szumów, zakłóceń itp. Niebagatelne znaczenie wywierają również różnice w rozprowadzeniu sygnałów dokonujących zapisu wyjść w rejestrze. Może się więc zdarzyć, że w wyniku procesu przetwarzania zamiast uzyskać jednolity ciąg jedynek a następnie jednolity ciąg zer, pojawiają się stany zawierające sekwencje typu "101" lub "1001" (jak i również przypadki "010" i "0110" itd.). Analogiczna sytuacja ma miejsce w implementacjach wysokorozdzielczych przetworników czasocyfra (TDC) wykorzystujących metodę przetwarzania bezpośredniego [3].

Opracowany przetwornik TDC Flash

Podstawą działania większości wysokorozdzielczych przetworników TDC implementowanych w strukturach FPGA jest metoda Nutta [4-5]. Elementami decydującymi o parametrach metrologicznych tego typu systemów są w głównej mierze dyskretne wielosegmentowe linie opóźniające (WLO) skonstruowane przy użyciu dostępnych zasobów logicznych układu. Zgodnie z architekturą przedstawioną na rysunku 1 sygnał referencyjny (500 MHz) stanowiący podstawę czasu w systemie podawany jest na wejście WLO, a zdarzenie HIT dokonuje zapamiętania aktualnego stanu linii w rejestrze w celu dalszej obróbki.

Zgrubny pomiar odcinków czasu wykonywany jest przy użyciu dwóch liczników pełnych okresów sygnału referencyjnego. Zaproponowana architektura systemu wykorzystuje szesnaście niezależnych WLO o 480

odczepach umieszczonych w 60 konfigurowalnych blokach logicznych (CLB). Poszczególne WLO zbudowano z komponentów CARRY8 tworzących łańcuchy szybkich przeniesień arytmetycznych w strukturze programowalnej FPGA (rys.2). W celu ograniczenia wpływu różnic w czasach propagacji sygnału mierzonego do wejść wyzwalających przerzutników zdecydowano się na umieszczenie kaskadowo połączonych komponentów CARRY8 w ramach pojedynczej domeny zegarowej.

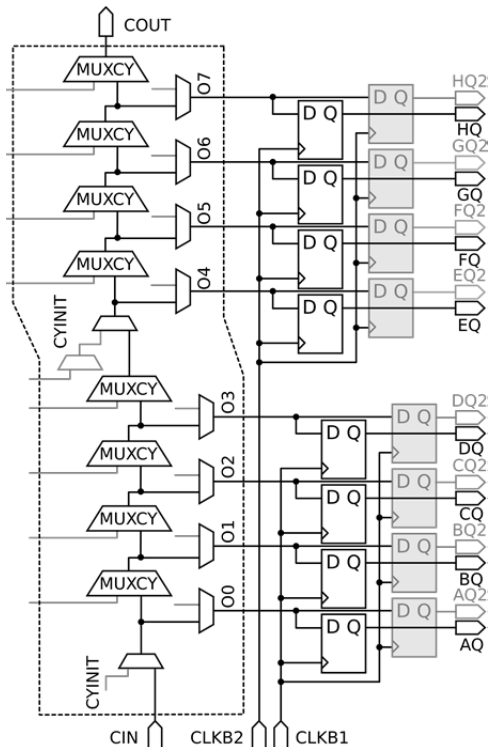


Rys.1. System pomiarowy zaimplementowany w układzie Kintex UltraSCALE

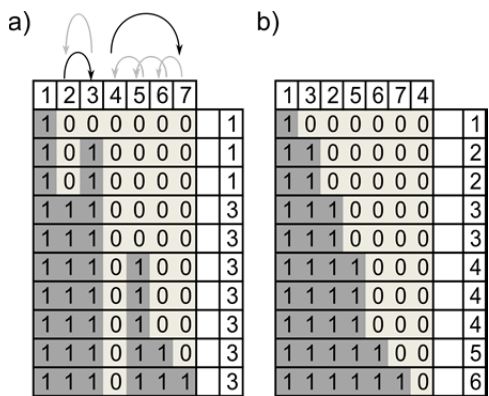
Błędy bąbelkowe w przetworniku TDC

Błąd bąbelkowy w przetworniku TDC flash objawia się zaburzeniem polegającym na wystąpieniu sekwencji "101" w ciągu jedynek, oraz "010" w ciągu zer podczas rejestracji zbocza narastającego i opadającego sygnału referencyjnego w WLO. Wystąpienie w sekwencji jedynek pojedynczego zera lub w ciągu zer pojedynczej jedynki wskazuje na wystąpienie błędu bąbelkowego pierwszego rzędu. Analogicznie wystąpienie w serii jedynek sekwencji "1001" lub w serii zer "0110" świadczy o błędzie bąbelkowym drugiego rzędu, a sekwencji "10001" trzeciego rzędu itd. Niekiedy z uwagi na specyficzną architekturę układów FPGA i jej podział na domeny zegarowe mogą

wystąpić także i różne kombinacje w/w błędów. Źródłem błędów bąbelkowych w układach FPGA są przede wszystkim różnice w czasach propagacji sygnałów w obrębie WLO. Niekiedy też związane są z rozrzutami poziomów napięć progowych przerzutników oraz rozrzutami produkcyjnymi komponentów składowych wielosegmentowej linii opóźniającej. W ostatnim przypadku uwidaczniają się błędy bąbelkowe skorelowane z przerzutnikami wykazującymi stany metastabilne [6-7].



Rys.2. Uproszczony schemat CLB w układzie Kintex UltraSCALE



Rys.3. Idea procedury sortowania segmentów opóźniających: a) fragment nieposortowanych segmentów, b) segmenty posortowane, wraz z wartościami zdekodowanymi przez dekodery priorytetowy

Błędy bąbelkowe mogą być przyczyną nieprawidłowego funkcjonowania dekodera fazy, który w procesie konwersji może zwracać błędne wartości (rys.3a). Właściwa identyfikacja w/w błędów i uwzględnienie ich na etapie konstrukcji konwertera skutecznie rozwiązuje problem.

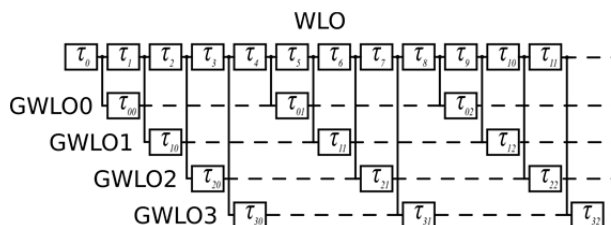
Metody minimalizacji błędów bąbelkowych

Głównym sposobem eliminacji błędów bąbelkowych wyższych rzędów jest próba ustalenia właściwej kolejności odczepów WLO. Realizowane jest poprzez zarejestrowanie w sposób bezpośredni (RAW), z pominięciem konwerterów

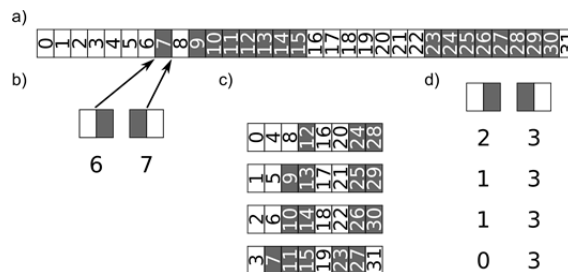
kodu, zatrzaśniętych stanów przerzutników dołączonych do odczepów WLO. Na podstawie zbioru 10^5 - 10^8 wartości reprezentujących kolejne fazy przebiegu referencyjnego dokonuje się odpowiedniej procedury sortowania zgodnie ze schematem przedstawionym w rysunku 3. W rezultacie ustalana jest prawidłowa kolejność segmentów dla danej WLO (rys.3b). Na tym etapie uwzględniany jest również wpływ segmentów metastabilnych. Ostatecznie ustala się ich najbardziej korzystną pozycję przyjmując za kryterium największą rozdzielczość ekwiwalentną q_{eqv} całej linii [8].

W przypadku błędów bąbelkowych niższych rzędów z powodzeniem stosuje się filtrowanie metodą wyboru większości z trzech (błędy pierwszego rzędu) oraz większości z pięciu (błędy drugiego rzędu). Dla błędów bąbelkowych wyższych rzędów stosuje się inne metody filtrowania - w tym metodę grzebieniową.

Metoda grzebieniowa polega na podłączeniu do dekodów priorytetowych co n -tego segmentu linii. Przykład takiej konfiguracji pokazano na rysunku 4. W rezultacie uzyskuje się dla pojedynczej WLO o długości m segmentów, n -sublinii GWLO (tzw. grzebieniowych linii opóźniających) o m/n segmentach. Takie połączenie eliminuje możliwość pojawienia się błędu bąbelkowego na wejściu dekodera, pod warunkiem doboru wystarczająco dużego n i maksymalnego przestawienia segmentu w stosunku do posortowanej WLO.



Rys.4. Zasada dekodowania grzebieniowego (dla czterech GWLO)



Rys.5. Idea minimalizacji błędów bąbelkowych za pomocą dekodowania grzebieniowego, a) przebieg zarejestrowany w WLO, b) niepoprawnie zdekodowane zbocza za pomocą dekodera priorytetowego dla WLO, z uwagi na istnienie błędów bąbelkowych c) przebiegi w czterech GWLO, d) zdekodowane zbocza za pomocą dekodów priorytetowych dla GWLO

Wyniki doświadczalne

Badania eksperymentalne przeprowadzono na platformie sprzętowej Xilinx KCU105. Identyfikacja błędów bąbelkowych dla WLO składających się z 480 segmentów o rozdzielczości ekwiwalentnej z zakresu od 21,6 ps do 23,7 ps wskazywała konieczność znacznego ograniczenia liczby możliwych do wykorzystania zasobów logicznych układu w ramach pojedynczej domeny zegarowej (rys.6). Dla użytego zegara systemowego o częstotliwości 500 MHz (okres 2 ns) uzyskano do 380 aktywnych kanałów w WLO. Wpływ na kształt powyższej charakterystyki wywarły błędy bąbelkowe wszystkich rodzajów. W celu ich eliminacji użyto opisanych w rozdziale 4 metod selekcji. W pierwszym kroku zastosowano sortowanie. Tego typu podejście znacząco

zwiększyło rozdzielczość ekwiwalentną WLO (12,2 ps) oraz pulę możliwych do wykorzystania segmentów opóźniających (365) - niestety nadal kosztem dużej nieliniowości (rys.6). Dopiero zastosowanie algorytmu sortowania grzebieniowego pozwoliło na skuteczną linearyzację charakterystyk przetwarzania przetwornika TDC typu flash eliminując jednocześnie prawdopodobieństwo wystąpienia błędu bąbelkowego (rys.7). Szczegółowe zestawienie wyników pomiarów rozdzielczości oraz efektywnej liczby możliwych do wykorzystania segmentów opóźniających wykonanych dla szesnastu WLO zamieszczono w tabeli 1.

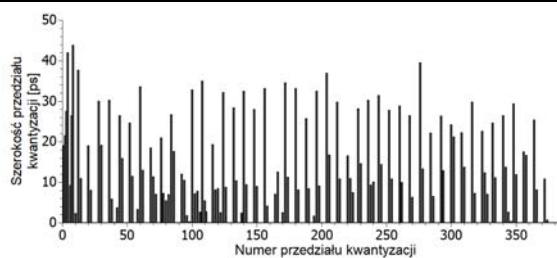
Tabela 1. Rozdzielczość ekwiwalentna q_{eqv} i liczba segmentów

Nr WLO	Bez sortowania		Po sortowaniu			Po sortowaniu i uwzględnieniu metastabilności		
	L. seg.	q_{eqv} [ps]	L. seg.	q_{eqv} [ps]	Poprawa ¹ [%]	L. seg.	q_{eqv} [ps]	Poprawa ² [%]
0	152	21,63	365	12,17	43,74	374	12,04	1,07
1	136	23,35	344	13,75	41,11	359	13,68	0,51
2	149	22,21	355	13,76	38,05	372	13,70	0,44
3	152	22,40	356	13,00	41,96	367	12,98	0,15
4	146	22,12	353	12,76	42,31	365	12,67	0,71
5	152	23,49	353	14,63	37,72	366	14,59	0,27
6	146	21,61	358	12,56	41,88	368	12,44	0,96
7	146	22,86	355	13,35	41,60	364	13,27	0,60
8	151	23,39	352	13,83	40,87	363	13,79	0,29
9	163	23,69	351	14,14	40,31	365	14,10	0,28
10	152	23,05	356	13,30	42,30	368	13,26	0,30
11	145	23,47	339	13,78	41,29	359	13,65	0,94
12	154	22,29	337	13,43	39,75	361	13,36	0,52
13	154	22,43	354	13,43	40,12	371	13,37	0,45
14	137	23,64	355	13,79	41,67	365	13,66	0,94
15	147	22,51	355	13,26	41,09	365	13,24	0,15

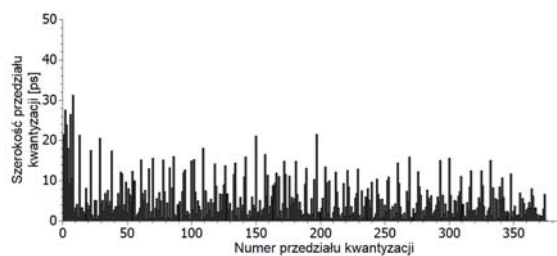
[¹] - poprawa w stosunku do q_{eqv} przed sortowaniem, [²] - poprawa w stosunku do q_{eqv} po sortowaniu

Tabela 2. Wykorzystanie zasobów układu Kintex UltraSCALE xcku040 w prezentowanym systemie

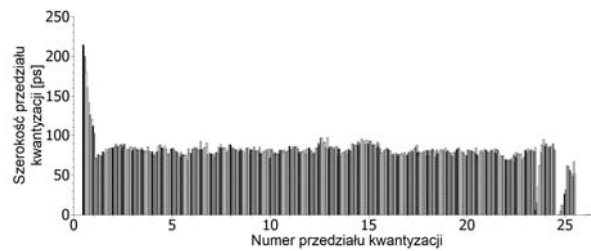
Komponent	System z dekodernami 1 z 480	System z dekodowaniem grzebieniowym	Zasoby układu xcku040
CLB LUT	49718 (20,5 %)	36726 (15,2 %)	242400
CLB REG	46256 (9,5 %)	41376 (8,5 %)	484800
BRAM	308 (51,3 %)	308 (51,3 %)	600



Rys.6. Charakterystyka n -segmentowej WLO z widocznym wpływem błędów bąbelkowych (dane RAW) – aktywnych 113 kanałów



Rys.7. Charakterystyka n -segmentowej WLO po sortowaniu – aktywnych 368 kanałów



Rys.8. Szerokości kanałów dla metody grzebieniowej $n=16$

Podsumowanie

Stosując zaproponowane w artykule algorytmy minimalizacji błędów bąbelkowych zwiększono rozdzielczość ekwiwalentną całego systemu z 27,3 ps do 5,3 ps. Użycie w/w metod doprowadziło także do optymalnego wykorzystania dostępnych zasobów logicznego układu FPGA pozbywając się jednocześnie (w większości przypadków) konieczności rezygnacji ze znacznej części używanych do budowy WLO segmentów opóźniających - co znacząco wpływało na pogorszenie parametrów czasowych linii. Zastosowanie metody grzebieniowej umożliwiło dalszą redukcję zasobów (tab.2) z uwagi na prostszą konstrukcję konwertera kodu wynikającą z mniejszej liczby bitów do przetworzenia oraz wyeliminowało konieczność stosowania dodatkowych filtrów.

Autorzy: mgr Maciej Gurski, dr Robert Frankowski, prof. dr hab. inż. Marek Zieliński, Uniwersytet Mikołaja Kopernika, Wydział Fizyki Astronomii i Informatyki Stosowanej, Instytut Nauk Technicznych, Katedra Automatyki i Systemów Pomiarowych, ul. Grudziądzka 5/7, 87-100 Toruń, E-mail: gural@umk.pl, robel@fizyka.umk.pl.

LITERATURA

- [1] Jaworski Z., Verilog HDL model based thermometer-to-binary encoder with bubble error correction, *2016 MIXDES - 23rd International Conference Mixed Design of Integrated Circuits and Systems*, Lodz, (2016), 249-254
- [2] Bui V. H., Seunghyun Beak, Seunghwan Choi, Jongkook Seon and T. T. Jeong, Thermometer-to-binary encoder with bubble error correction (BEC) circuit for Flash Analog-to-Digital Converter (FADC), *International Conference on Communications and Electronics 2010, Nha Trang*, (2010), 102-106
- [3] Lusardi N., Garzetti F., Corna N., De Marco R., Geraci A., Very High-Performance 24-Channels Time-to-Digital Converter in Xilinx 20-nm Kintex UltraScale FPGA, *2019 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), Manchester, UK*, (2019), 1-4
- [4] Zieliński M., Chaberski D., Kowalski M., Frankowski R., Grzelak S., High-resolution time-interval measuring system implemented in single FPGA device, *Measurement*, 35 (2004), No 3, 311-317
- [5] Frankowski R., Gurski M., Płociennik P. Optical methods of the delay cells characteristics measurements and their applications, *Optical and Quantum Electronics*, 48 (2016), No. 188, <https://doi.org/10.1007/s11082-016-0465-6>
- [6] Rahman M., Baishnab K. L., Talukdar F. A., A novel ROM architecture for reducing bubble and metastability errors in high speed flash ADCs, *2010 20th International Conference on Electronics Communications and Computers (CONIELECOMP), Cholula, Puebla, Mexico*, (2010), 15-19
- [7] Ghoshal P., Sen S. K., A bit swap logic (BSL) based bubble error correction (BEC) method for flash ADCs, *2016 2nd International Conference on Control, Instrumentation, Energy & Communication (CIEC), Kolkata*, (2016), 111-115
- [8] Szplet R., Jachna Z., Kwiatkowski P., Rózyk K., A 2.9 ps equivalent resolution interpolating time counter based on multiple independent coding lines, *Measurement Science and Technology*, 24 (2013), No. 3, art. nr 035904