

## Wpływ rozmieszczenia pustek lutowniczych na parametry cieplne tranzystorów MOSFET

**Streszczenie.** W artykule opisano wpływ występowania oraz lokalizacji dużych pustek w połączeniu lutowanym pada termicznego na parametry cieplne tranzystora MOSFET. Na potrzeby realizacji prac badawczych zaprojektowano i wykonano serię próbek testowych, których parametry termiczne zmierzono za pomocą pośredniej metody elektrycznej. Przeprowadzono analizę statystyczną otrzymanych wyników oraz wykonano zdjęcia RTG pada termicznego wybranych próbek testowych. W niniejszym artykule analizowano wpływ występowania pustek lutowniczych w padzie termicznym, na parametry termiczne tranzystora MOSFET. Określono wpływ lokalizacji pustek wewnątrz połączenia lutowanego.

**Abstract.** The article describes the influence of the occurrence and location of large voids in the solder joint at the thermal pad of the MOSFET transistor influencing its thermal parameters. For the purposes of the research work, a series of test samples were designed and fabricated, the thermal parameters were measured using an indirect electrical method. Statistical analysis of the obtained results was performed and X-ray images of the thermal pad of selected test samples were taken. This paper analyzes the effect of the presence of solder voids in the thermal pad, on the thermal parameters of the MOSFET transistor. The effect of the location of the voids inside the solder joint was determined (**Influence of the location of solder the thermal parameters of the MOSFET transistors**).

**Słowa kluczowe:** MOSFET; parametry termiczne; lutowanie; pustki lutownicze.

**Keywords:** MOSFET; thermal parameters; soldering; solder voids.

### 1. Wstęp

Półprzewodnikowe przyrządy mocy takie jak tranzystory MOSFET, ze względu na swoją charakterystykę pracy coraz częściej wykorzystywane są w przemyśle automotive oraz układach zasilania, np.: źródła zasilania w komputerach przenośnych. Popularność ich stosowania związana jest z faktem, iż posiadają niską rezystancję w stanie załączenia oraz możliwość kluczowania z dużą częstotliwością, nawet powyżej 100 kHz [1, 2]. W nowoczesnych układach takich jak przekształtniki energoelektroniczne, zauważa się tendencję do wzrostu częstotliwości przełączania. Pozwala to na zastosowanie elementów pasywnych o mniejszych wymiarach [3].

Właściwości elektryczne półprzewodnikowych elementów mocy oraz ich bezawaryjna praca, w dużym stopniu zależne są od temperatury ich wnętrza  $T_j$ . Wraz ze wzrostem mocy wydzielanej w elemencie półprzewodnikowym, w skutek zjawiska samonagrzewania wzrasta również temperatura jego wnętrza. Jej przekroczenie może doprowadzić do nieodwracalnego uszkodzenia struktury wewnętrznej elementu półprzewodnikowego [4].

W przypadku nowoczesnych elementów elektronicznych, najbardziej popularną metodą montażu jest montaż powierzchniowy (*ang. surface mount technology*). Dla układów przystosowanych do montażu powierzchniowego, transfer ciepła z wnętrza przyrządu półprzewodnikowego odbywa się przez połączenie lutowane do PCB oraz przez konwekcję, gdzie ciepło odprowadzane jest z powierzchni elementu oraz PCB do otoczenia. W związku z tym ważne jest, aby jakość montażu elementu, czyli jakoś połączenia lutowanego była jak najwyższa. Zmiany w strukturze połączenia lutowanego w istotny sposób wpływają na parametry cieplne elementów półprzewodnikowych, co w konsekwencji powoduje wzrost temperatury wnętrza, który spowodowany jest nieefektywnym odprowadzaniem ciepła z układu [5, 6, 7].

W celu opisania zjawisk termicznych zachodzących wewnątrz struktury półprzewodnikowej, niezbędne jest określenie podstawowych parametrów cieplnych, takich jak rezystancja termiczna oznaczana jako  $R_{th}$  oraz impedancja termiczna oznaczona symbolem  $Z_{th}$ . Zarówno rezystancja termiczna  $R_{th}$  (dla stanu ustalonego) jak i impedancja

termiczna  $Z_{th}$  (dla stanu przejściowego) są parametrami cieplnymi, które umożliwiają określenie zależności pomiędzy temperaturą wnętrza przyrządu półprzewodnikowego, a wydzieloną mocą grzewczą [8]:

$$(1) \quad Z_{thj-a}(t) = \frac{T_j(t) - T_a}{P}$$

gdzie:  $Z_{thj-a}(t)$  – przejściowa impedancja termiczna,  $T_j$  – temperatury wnętrza,  $T_a$  – temperatura otoczenia,  $P$  – wartość mocy wydzielonej w elemencie półprzewodnikowym.

Jednym z głównych zjawisk, które powoduje negatywne zmiany w strukturze połączenia lutowanego jest zjawisko powstawania pustek lutowniczych (*ang. solder voids*). Pustki lutownicze zwiększają rezystancję termiczną połączenia lutowanego, a to w konsekwencji prowadzi do wzrostu temperatury wnętrza układu [5, 9, 10].

W niniejszym artykule przedstawiono analizę wpływu występowania oraz lokalizacji pustek w połączeniu lutowanym nad padem termicznym tranzystora MOSFET. Zbadano w jaki sposób rozmieszczenie pustek lutowniczych oraz ich powierzchnia, wpływają na parametry cieplne ( $Z_{th}$ ,  $R_{th}$ ) przylutowanego elementu półprzewodnikowego.

### 2. Materiały i metody

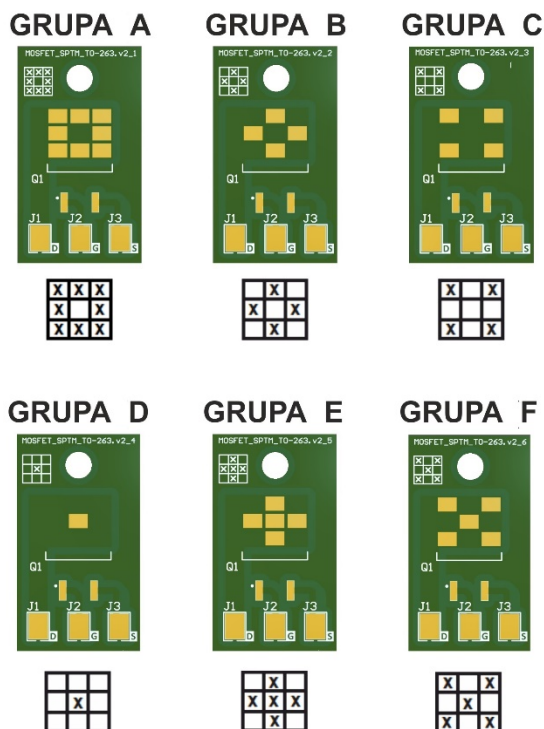
#### 2.1. Próbk testowe

W celu symulacji powstania pustek lutowniczych w warstwie połączenia nad padem termicznym, wykonano sześć różnego rodzaju projektów obwodów drukowanych. Grubość warstwy miedzi dla każdego PCB pozostała bez zmian. Różnica pomiędzy użytymi podłożami polegała na kształcie i polu powierzchni wykonanej warstwy antylutowicznej, w obszarze pada termicznego tranzystora MOSFET.

Jako podłoże do wykonania obwodów drukowanych zastosowano laminat FR4, gdzie grubość warstwy miedzi wynosiła 35  $\mu\text{m}$ . Dodatkowo na powierzchni odkrytych pól lutowniczych naniesiono powłokę HAL – Hot Air Leveling (Sn99Cu0.7Ag0.3) o grubości równej  $1 \pm 40 \mu\text{m}$ .

Wykonane obwody drukowane podzielono na 6 grup, które oznaczono literami: A, B, C, D, E oraz F. Kryterium podziału związane było z kształtem i polem powierzchni warstwy antylutowicznej (warstwa w kolorze zielonym)

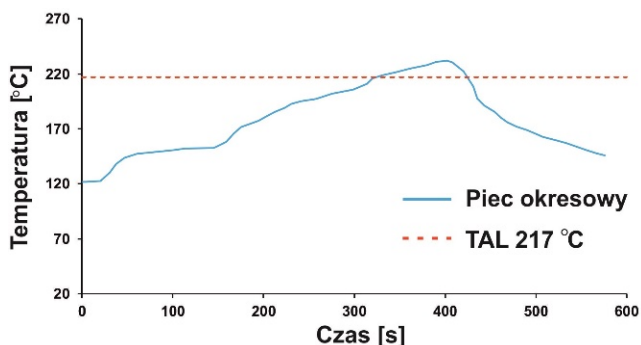
w obszarze pada termicznego tranzystora MOSFET. W przeprowadzonym eksperymencie użyto łącznie 30 sztuk PCB – po pięć sztuk dla każdej grupy. Na rysunku 1 przedstawiono wygląd zaprojektowanych i wykonanych obwodów drukowanych.



Rys. 1. Zaprojektowane obwody drukowane

Do eksperymentu użyto tranzystora MOSFET IPB090N06N3 G firmy Infineon w obudowie TO-263. Obudowa ta charakteryzuje się występowaniem dużego pada termicznego, którego rolą jest zapewnienie wydajnego odprowadzania ciepła do podłoża, w tym przypadku do laminatu FR4. Rezystancja termiczna wewnątrz-obudowa użytego elementu wynosiła  $R_{thj-c} = 1,6$  [K/W] [11].

W celu przyłutowania tranzystora do zaprojektowanych obwodów drukowanych użyto metody lutowania rozpliwowego, gdzie wykorzystano piec okresowy firmy Essemtec (RO06 Plus). Zastosowano niskosrebrą pastę lutowniczą SACX0307 LOCTITE HF 212 (Sn99Ag0.3Cu0.7) firmy Henkel. Pasta lutownicza nałożona została na powierzchnię PCB za pomocą metody sitodruku. W tym celu, dla każdego z projektów wykorzystano odpowiednio wycięty szablon o grubości 125  $\mu\text{m}$ . Na rysunku 2 zamieszczono profil temperaturowy użytego pieca lutowniczego.



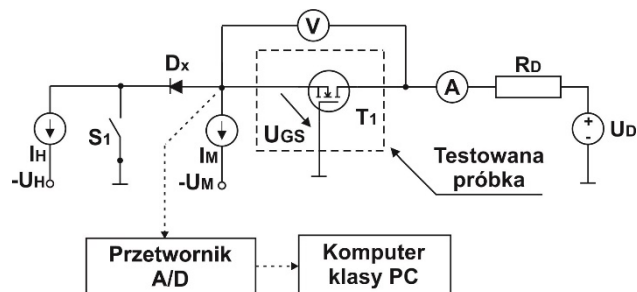
Rys. 2. Profil temperaturowy (linia w kolorze niebieskim) użyty podczas procesu lutowania w piecu okresowym

Linia w kolorze niebieskim zaznaczona została temperatura, jaką osiągała warstwa miedzi na powierzchni obwodu drukowanego. Czerwoną linią przerywaną zaznaczono temperaturę równą 217°C, która związana jest rozpliwem lutowni podczas procesu lutowania (*ang. time above liquidus*) [12].

## 2.2. Metoda pomiaru parametrów cieplnych

Do pomiarów parametrów cieplnych tranzystora MOSFET wykorzystano pośrednią metodę elektryczną. Zastosowana metoda umożliwia wyznaczenie rezystancji termicznej badanej próbki na podstawie pomiaru parametru termoczułego, którego wartość zmienia się wraz ze zmianą temperatury wewnątrz przyrządu półprzewodnikowego [13].

W przypadku tranzystorów MOSFET, w zależności od wybranej metody pomiaru, jako parametr termoczuły wykorzystuje się napięcie bramka-źródło  $U_{GS}$ , napięcie dren-źródło  $U_{DS}$  lub napięcie na spolaryzowanej w kierunku przewodzenia diodzie antyrównoległej  $U_D$ . Aby uzyskać możliwie wysoką rozdzielczości pomiaru, jako parametr termoczuły wykorzystano napięcie bramka-źródło  $U_{GS}$  [8,14]. Na rysunku 3 przedstawiono schemat układu do pomiaru impedancji termicznej tranzystora MOSFET.



Rys. 3. Schemat układu do pomiaru rezystancji termicznej, w którym parametrem termoczułym jest napięcie bramka-źródło  $U_{GS}$

Podczas realizowanych pomiarów, podłoże FR4 przymocowane było do wymiennika ciepła chłodzonego cieczą. Pomiar parametrów cieplnych próbek testowych zrealizowany został w trzech etapach. Pierwszym był pomiar charakterystyki termometrycznej elementu półprzewodnikowego, czyli zależności parametru termoczułego od temperatury. W trakcie pomiaru próbka była umieszczona w komorze badań cieplnych, gdzie temperaturę regulowano za pomocą termostatu. Podczas przeprowadzania kalibracji przełącznik  $S_1$  był zwarty, przez tranzystor płynął prąd pomiarowy  $I_M = 1,3$  mA. Na podstawie wykonanych pomiarów wyznaczono nachylenie charakterystyki termometrycznej  $\alpha_V$ .

Drugi etap pomiaru, polegał na nagrzewaniu elementu półprzewodnikowego przez wydzielanie w nim mocy o stałej wartości do momentu, aż osiągnięty zostanie stan termicznie ustalony. W tym celu przełącznik  $S_1$  został rozwarty, tranzystor MOSFET pracował w zakresie nasycenia. W wyniku samonagrzewania temperatura jego wnętrza zaczęła rosnąć. W układzie płynął prąd  $I_H$ , gdzie wartość wydzielonej mocy wyniosła 4 W.

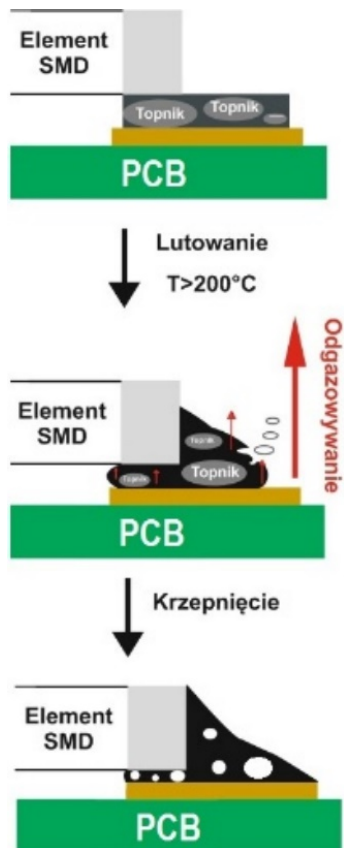
Ostatnia część pomiarów została przeprowadzona po zwarceniu przełącznika  $S_1$ , gdzie zmierzono parametr termoczuły. Odpowiednia polaryzacja tranzystora zapewniona została ze źródła  $I_M$ . Pomiar trwał do momentu osiągnięcia stanu termicznie ustalonego, po schłodzeniu próbki do temperatury otoczenia. Napięcie bramka-źródło  $U_{GS}$  zmierzono za pomocą przetwornika analogowo-cyfrowego (A/D). Na podstawie zmierzonego przebiegu czasowego napięcia  $U_{GS}$  wyznaczono przebieg przejściowej impedancji termicznej ze wzoru [7]:

$$(2) \quad Z_{thj-a}(t) = \frac{U_{GS}(t) - U_{GS}(t=0)}{\alpha_V \cdot P_H}$$

gdzie:  $U_{GS}(t)$  – przebieg czasowy napięcia  $U_{GS}$ ,  $\alpha_V$  – nachylenie krzywej termometrycznej,  $P_H$  – moc grzewcza wydzielona w układzie.

### 2.3. Pomiar powierzchni pustek lutowniczych

Powstawanie pustych przestrzeni w połączeniu lutowanym jest procesem, który negatywnie wpływa na jakość wykonanego lutu. Wielkość obszaru powstałych pustek lutowniczych zależna jest od wielu czynników samego procesu lutowania, takich jak zastosowana metoda lutowania, użyty profil temperaturowy pieca lutowniczego lub wykorzystana pasta lutownicza. Na rysunku 4 przedstawiono uproszczony schemat powstawania pustych przestrzeni lutowniczych podczas procesu lutowania.

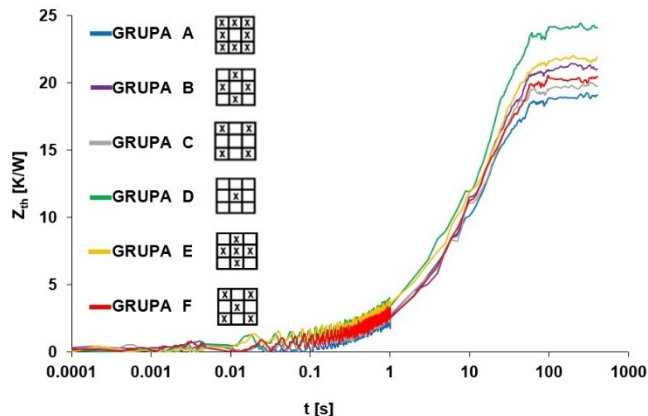


Rys.4. Uproszczony schemat procesu powstawania pustych przestrzeni w połączeniu lutowanym

Do określenia powierzchni pustych przestrzeni w połączeniu lutowanym wykorzystano technikę obrazowania rentgenowskiego. Umożliwiło to uzyskanie fotografii 2D połączenia lutowanego, zlokalizowanego pod padem termicznym przylutowanego tranzystora. W dalszym etapie wykonane fotografie RTG poddano obróbce cyfrowej, gdzie porównano ilość pikseli o odpowiednich odcieniach barw. Umożliwiło to wyznaczenie procentowej ilości pustych przestrzeni (procentowy współczynnik pustek) w badanym obszarze pada termicznego, przylutowanego elementu półprzewodnikowego.

### 3. Wyniki badań

Na podstawie zrealizowanych pomiarów przebiegu czasowego napięcia  $U_{GS}$ , wyznaczono przebieg przejściowej impedancji termicznej badanych próbek testowych. Rysunek 5 przedstawia wykresy przejściowej impedancji termicznej  $Z_{th}$ .



Rys.5. Wykresy przejściowych impedancji termicznych próbek testowych z każdej badanej grupy

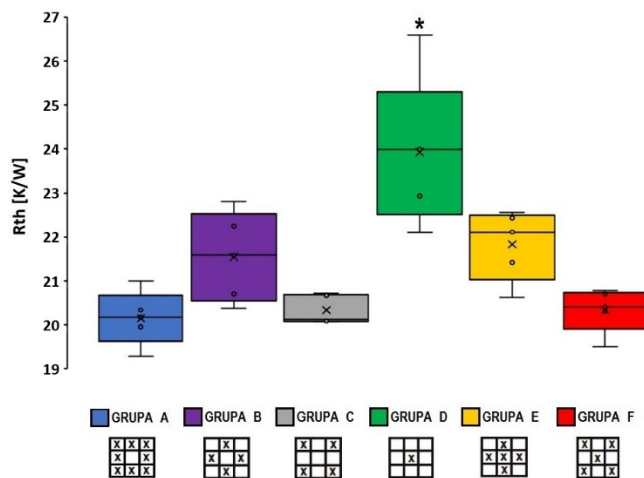
Jak widać na przedstawionym rysunku 5, przebiegi krzywych różnią się między sobą. W przedziale czasu  $t$  od 0,1 s do 100 s, badane próbki schładzane były do temperatury otoczenia. Istotne różnice widoczne są w przedziale czasu  $t > 100$  s, gdzie próbki osiągnęły stan termicznie ustalony. Widać, iż wartości zmierzonych impedancji termicznych próbek z grupy A i grupy D znacząco różnią się między sobą, gdzie różnica wynosi około 22 %. Dodatkowo dla grup B i C oraz grup E i F, pomimo takiej samej powierzchni symulowanych pustek lutowniczych, występują niewielkie różnice w wyznaczonych wartościach impedancji termicznej.

Na podstawie zmierzonych wartości impedancji termicznej  $Z_{th}$ , wyznaczono rezystancję termiczną  $R_{th}$  oraz maksymalną temperaturę wnętrza  $T_j$  każdej grupy próbek testowych. W tabeli 1 zamieszczono obliczone wartości.

Tabela 1. Średnie wartości rezystancji termicznej oraz temperatury wnętrza dla każdej grupy próbek testowych

Nazwa i symbol grupy	Średnia $R_{th}$ [K/W]	Średnia $T_j$ [°C]
GRUPA A 	20,2	103,7
GRUPA B 	21,6	109,1
GRUPA C 	20,4	103,1
GRUPA D 	23,9	116,2
GRUPA E 	21,9	110,0
GRUPA F 	20,4	104,1

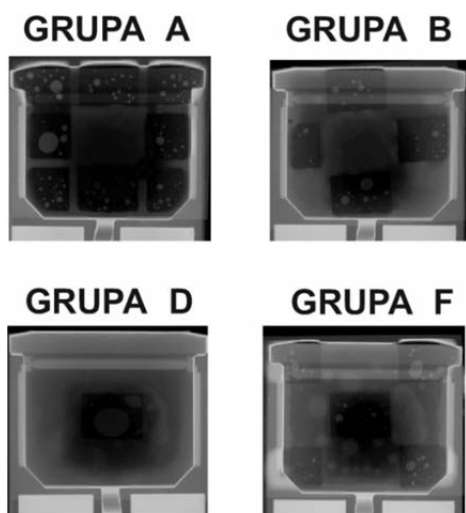
Kolejno, w oparciu o wyznaczone wartości rezystancji termicznej, przeprowadzono analizę statystyczną (jednoczynnikowa ANOVA,  $p = 0,05$ ) oraz wykonano wykres pudełkowy (*ang. box plot*) zależności rezystancji termicznej  $R_{th}$  od stopnia przylutowania elementu do podłoża (rys.6). Gwiazdka na wykresie oznacza statystycznie istotne różnice pomiędzy próbkami.



Rys.6. Wartości  $R_{th}$  próbek testowych, gdzie: krzyżyk (x) na symbolu graficznym grupy oznacza obszar polutowany, pusty kwadracik ( $\square$ ) oznacza symulowaną pustkę lutowniczą

Na podstawie wykonanej analizy statystycznej i wykresu pudełkowego (rys.6) widać, iż w grupie D występowały największe istotne różnice pomiędzy wyznaczonymi wartościami rezystancji termicznej każdej próbki. Wyniki badań wskazują, że  $R_{th}$  rośnie statystycznie istotnie dla grupy D, gdzie przylutowana powierzchnia stanowi tylko jedną dziesiątą próbki referencyjnej. Pozostałe grupy nie różnią się między sobą co oznacza, że lokalizacja pustek (naroża, boki, środek pada termicznego) nie wpływa znacząco na tą wartość, chociaż można zaobserwować pewną tendencję do wzrostu  $R_{th}$ , gdy naroża pada termicznego pozostają niedolutowane (grupa B i grupa E).

W ramach prac badawczych, wykonano również zdjęcia RTG połączenia lutowanego nad padem termicznym tranzystora MOSFET. Na rysunku 7 przedstawiono zestawienie wykonanych fotografii RTG, gdzie zamieszczono zdjęcia dla próbek z grup A, B, D oraz F.



Rys.7. RTG próbek testowych przedstawiające niepolutowane obszary oraz pustki w obszarach polutowanych

Na podstawie wykonanych fotografii RTG, obliczono procentowy udział pustek lutowniczych nad padem termicznym tranzystora MOSFET. W tabeli 2 zamieszczono otrzymane wyniki, gdzie podano wartość współczynników pustek dla każdej badanej grupy próbek testowych.

Tab.2. Współczynniki pustych przestrzeni w połączeniu lutowanym dla zbadanych próbek testowych.

Nazwa grupy	Współczynnik pustek [%]
GRUPA A	59
GRUPA B	48
GRUPA C	71
GRUPA D	73
GRUPA E	94
GRUPA F	64

W oparciu o rysunek 7, tabelę 1 oraz tabelę 2 można stwierdzić, że dla próbek testowych, gdzie stosunek powierzchni pustych przestrzeni do powierzchni wykonanego połączenia lutowanego jest największy, wartość parametrów termicznych uległa zwiększeniu. W konsekwencji spowodowało to wzrost temperatury wnętrza do średniej wartości w grupie D równej 116,2 °C. Nie zaobserwowano jednak korelacji pomiędzy procentowym współczynnikiem pustek, a wartościami  $R_{th}$ .

### Podsumowanie

W pracy dokonano analizy wpływu występowania dużych pustek w połączeniu lutowanym nad padem termicznym tranzystora MOSFET, na jego parametry cieplne. Zbadano również w jaki sposób lokalizacja pustych przestrzeni w połączeniu lutowanym wpływa na parametry termiczne przylutowanego elementów półprzewodnikowego.

Wykazano, że lokalizacja pustek tylko w niewielkim stopniu wpływa na parametry termiczne tranzystorów MOSFET, a procent pustych przestrzeni w połączeniu lutowanym nie koreluje bezpośrednio z ich wartościami, chociaż można zaobserwować pewną tendencję do wzrostu  $R_{th}$ , gdy naroża pada termicznego pozostają niedolutowane.

**Autorzy:** Adrian Pietruszka, Uniwersytet Morski w Gdyni, Katedra Elektroniki Morskiej, ul. Morska 81-87, E-mail: [a.pietruszka@sd.umg.edu.pl](mailto:a.pietruszka@sd.umg.edu.pl); dr inż. Paweł Górecki, Uniwersytet Morski w Gdyni, Katedra Elektroniki Morskiej, ul. Morska 81-87, E-mail: [p.gorecki@we.umg.edu.pl](mailto:p.gorecki@we.umg.edu.pl); dr hab. Inż. Jacek Tarasiuk, prof. AGH, Akademia Górniczo-Hutnicza, Katedra Fizyki Materii Skondensowanej, ul. Reymonta 19, E-mail: [tarasiuk@agh.edu.pl](mailto:tarasiuk@agh.edu.pl); dr hab. Agata Skwarek, prof. UMG, Uniwersytet Morski w Gdyni, Katedra Elektroniki Morskiej, ul. Morska 81-87, E-mail: [a.skwarek@we.umg.edu.pl](mailto:a.skwarek@we.umg.edu.pl)

### LITERATURA

- [1] K. Ma, N. He, M. Liserre and F. Blaabjerg, "Frequency-Domain Thermal Modeling and Characterization of Power Semiconductor Devices," in IEEE Transactions on Power Electronics, vol. 31, no. 10, pp. 7183-7193, Oct. 2016, doi: 10.1109/TPEL.2015.2509506.
- [2] B. Jayant Baliga.: Advanced Power MOSFET Concepts, Springer Science+Business Media, New York, USA, 2010.
- [3] Z. Zhang, Y. Liu.: High Frequency MOSFET Gate Drivers. Technologies and Applications, The Institution of Engineering and Technology, London, United Kingdom, 2017.
- [4] K. Górecki, P. Ptak.: Influence of the area of a thermal pad on optical and thermal parameters of LED modules, Circuit World, 46 (2020), nr. 2, 65-70
- [5] D. C. Katsis and J. D. van Wyk, "Void induced thermal impedance in power semiconductor modules: some transient temperature effects," IEEE Transactions on Industry Applications, Vol. 39, No. 5, pp. 1239-1246, 2003, doi: 10.1109/TIA.2003.816527.

- [6] M. Sobolewski, B. Dziurdzia: Experimental approach to thermal conductivity of macro solder joints with voids, *Soldering & Surface Mount Technology*, 2019, Vol. 31 No. 3, pp. 181-191, doi: 10.1108/SSMT-11-2018-0050.
- [7] A. Pietruszka, P. Górecki, S. Wroński, B. Illés, A. Skwarek: The Influence of Soldering Profile on the Thermal Parameters of Insulated Gate Bipolar Transistors (IGBTs). *Appl. Sci.* 2021, 11, 5583, doi: <https://doi.org/10.3390/app11125583>.
- [8] K. Górecki, K. Posobkiewicz.: Selected Problems of Power MOSFETs Thermal Parameters Measurements, *Energies*, 2021, 14, 8353. <https://doi.org/10.3390/en14248353>.
- [9] L. Chen, M. Paulasto-Krockel, U. Frohler, D. Schweitzer and H. Pape, "Thermal impact of randomly distributed solder voids on Rth-JC of MOSFETs," 2008 2nd Electronics System-Integration Technology Conference, 2008, pp. 237-244, doi: 10.1109/ESTC.2008.4684356.
- [10] Raypah, M., Devarajan, M. and Mahmud, S., "Investigation on effects of solder paste voids on thermal and optical performance of white high-power surface-mounted device LEDs", *Soldering & Surface Mount Technology*, Vol. 32 No. 2, pp. 104-114, 2019. <https://doi.org/10.1108/SSMT-04-2019-0014>.
- [11] Karta katalogowa IPB090N06N3 G: <https://www.infineon.com/cms/en/product/power/mosfet/n-channel/ipb090n06n3-g/> (dostęp: 20.02.2022).
- [12] L. Ning-Cheng.: *Reflow Soldering Processes and Troubleshooting: SMT, BGA, CSP and Flip Chip Technologies*, Newnes, Boston, 2002.
- [13] Y. Avenas, L. Dupont, Z. Khatir: Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters-A Review, *IEEE Transactions on Power Electronics*, Vol. 27, No. 6, pp. 3081-3092, 2012, DOI: 10.1109/TPEL.2011.2178433.
- [14] K. Górecki, P. Górecki: Wpływ wyboru parametru termoczułego na zmierzone wartości rezystancji termicznej tranzystora IGBT, *Przegląd Elektrotechniczny*, Vol. 96, No. 12, pp. 106-109. 2020, DOI: 10.15199/48.2020.12.20.