

Analiza maskowania zwarć w sieci połączeń przez rejestr MISR

Streszczenie. W artykule dokonano analizy maskowania zwarć w sieci połączeń między modułami cyfrowego systemu scalonego, którego źródłem jest proces kompaktacji ciągów odpowiedzi testowych zachodzący w klasycznym rejestrze MISR o liniowym sprzężeniu zwrotnym opisanym wielomianem pierwotnym. Uszkodzenia, które wzięto pod uwagę to jedno- i dwukrotne zwarcia typu summa montażowa dwóch linii. Do pobudzenia wejść badanej sieci połączeń wykorzystano powszechnie stosowaną prostą/zanegowaną sekwencję liczącą T/C. W artykule zdefiniowano warunki wzajemnego kasowania się ciągów błędów w rejestrze MISR, które prowadzi do maskowania zwarć w sieci połączeń. Przypadki maskowania uszkodzeń zilustrowano przykładami oraz potwierdzono eksperymentalnie.

Abstract. This paper analyses the masking of shorts (bridges) in the interconnection network between cores of a digital SoC caused by the compaction process of test response sequences having a place in a classical MISR with linear feedback described by a primitive polynomial. The faults considered are single and double wired-OR type shorts of two lines. A commonly used True/Complement Counting Sequence (T/C) was used to stimulate the inputs of the interconnection network under test. This paper defines the conditions for the mutual cancellation of error sequences in MISR, which leads to the masking of shorts between lines of the interconnection network. The cases of fault masking are illustrated with examples and confirmed experimentally. (**Analysis of masking of shorts in the network of connections by the MISR-based test response compactor**).

Słowa kluczowe: wbudowane samotestowanie połączeń, rejestr MISR, kompaktacja, maskowanie błędów, maskowanie uszkodzeń.
Keywords: Interconnect Built-In Self-Test (IBIST), Multi-Input Signature Register (MISR), compaction, error aliasing, fault masking.

Wstęp

Szybki rozwój technologii nanometrowych, który obserwujemy w ostatnich latach sprawił, że cały system cyfrowy może zostać wykonany w formie pojedynczego układu scalonego. Taki cyfrowy system scalony (ang. *digital System-on-Chip – digital SoC*) składa się z modułów cyfrowych (ang. *digital core*), które komunikują się między sobą za pośrednictwem sieci dedykowanych połączeń, np. współdzielonych magistral [1, 2]. Dynamicznie rozwija się również koncepcja wymiany danych między modułami cyfrowymi za pośrednictwem sieci typu NoC (ang. *Network-on-Chip*) [3, 4]. Połączenia między węzłami tego typu sieci są zazwyczaj realizowane w formie magistral.

Rosnący stopień integracji produkowanych systemów scalonych powoduje, że struktury sieci połączeń między obecnymi w nich modułami cyfrowymi stają się coraz bardziej złożone i mają coraz większy wpływ na poprawną i niezawodną pracę całego systemu. Testowanie tego typu połączeń ma więc aktualnie nadzwyczaj istotne znaczenie [5].

Klasyczne podejście do testowania połączeń między modułami w systemie scalonym bazuje na wykorzystaniu testera zewnętrznego (ang. *Automatic Test Equipment – ATE*) i wbudowanych struktur ułatwiających testowanie (ang. *Design for Testability – DfT*), zaprojektowanych zgodnie ze standardem IEEE 1500 [6]. Wadami takiego rozwiązania są długie czasy testowania oraz konieczność użycia zaawansowanych technologicznie i w związku z tym bardzo drogich testerów zewnętrznych, które są trudne w eksploatacji i nie nadają się do testowania serwisowego. W celu złagodzenia wyżej wspomnianych mankamentów stosuje się metody i związane z nimi struktury wbudowanego samotestowania połączeń (ang. *Interconnect Built-In Self-Test – IBIST*) [1, 2, 5-25]. Dzieli się je na dwie kategorie, które mają zasadniczo różne właściwości: IBIST typu *test-per-scan* [7-11] oraz IBIST typu *test-per-clock* [1, 2, 12-22]. Niewątpliwą zaletą metod IBIST należących do pierwszej z wymienionych kategorii jest to, że ułatwiają dokonywanie na bieżąco analizy odpowiedzi testowych i diagnostyki uszkodzeń statycznych sieci połączeń. Natomiast tym, co czyni metody wbudowanego samotestowania połączeń typu *test-per-clock* bardzo atrakcyjnymi w porównaniu z metodami typu *test-per-scan* są o nawet kilka rzędów wielkości krótsze czasy testowania.

Ponadto, wykorzystanie wbudowanych testerów działających w trybie *test-per-clock* w znaczącym stopniu upraszcza detekcję i diagnostykę uszkodzeń dynamicznych w sieciach połączeń [26, 5].

W strukturach IBIST pracujących w trybie *test-per-clock* wektory testowe podawane są na wejścia badanej sieci połączeń w kolejnych taktach zegarowych przez generator testów (ang. *Test Pattern Generator – TPG*). Poprawność odpowiedzi sieci połączeń na sekwencję testową sprawdzana jest w analizatorze odpowiedzi testowych (ang. *Output Response Analyser – ORA*). W najprostszym przypadku układ analizatora porównuje wektory odpowiedzi testowej z wartościami oczekiwanyymi [11-17, 20]. Stosuje się również konstrukcje układów ORA weryfikujące, czy ciągi odpowiedzi testowych połączeń mają specyficzne cechy [14, 27]. Natomiast w części rozwiązań analizatorów odpowiedzi testowych korzysta się z kompaktacji (stratnej kompresji) ciągów odpowiedzi testowych sieci połączeń [7, 8, 18, 19, 21, 28, 5]. Sam proces kompaktacji może być realizowany na przykład przez wielowejsiowy rejestr z liniowym sprzężeniem zwrotnym (ang. *Multi-Input Signature Register – MISR*) [18, 21, 28, 5] lub przez rejestr pierścieniowy R-LFSR [22]. Uzyskany w jego wyniku stan końcowy rejestru (sygnatura) stanowi podstawę do wyciągania wniosków o ewentualnych uszkodzeniach sieci połączeń lub ich braku.

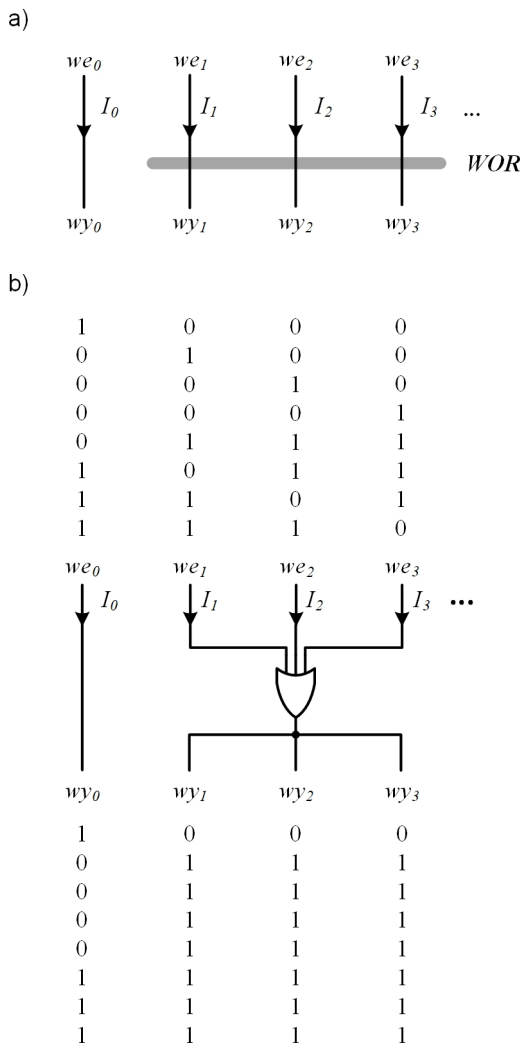
W pracach [29, 30, 5] zauważono jednak, że stosowanie klasycznego rejestru MISR do kompaktacji ciągów odpowiedzi testowych sieci połączeń może prowadzić do maskowania znacznej liczby jednego z typów uszkodzeń statycznych w liniach tej sieci. Pokazano tam między innymi, że w przypadku użycia sekwencji testowej typu „krążąca jedynka” (W1) oraz dla pewnych szczególnych topologii sieci połączeń nawet kilkadziesiąt procent uszkodzeń typu dwu- i czterokrotne sklejenie linii z poziomem logicznym (ang. *stuck-at fault*) może zostać niewykrytych na podstawie analizy sygnatury otrzymanej w rejestrze MISR.

Niniejszy artykuł stanowi kontynuację omówionych wyżej badań. Dokonano w nim analizy maskowania zwarć między liniami przez proces kompaktacji ciągów odpowiedzi testowych sieci połączeń zachodzący w rejestrze MISR.

Uszkodzenia sieci połączeń

Uszkodzenia, które będą rozpatrywane w artykule to jedno- i dwukrotne zwarcia typu „suma na drucie” (suma montażowa; ang. *wired OR* – WOR). Zwarcie typu WOR zachowuje się podobnie do bramki OR, której wejścia podłączono do wejść zwartych linii a jej wyjście steruje wyjściami wszystkich zwartych połączeń.

Fragment sieci połączeń, w którym doszło do zwarcia typu WOR pokazano na rysunku 1a. Linie I_1, I_2 oraz I_3 są ze sobą zwarte natomiast linia I_0 jest nieuszkodzona. Model logiczny uszkodzonej sieci połączeń przedstawiono na rysunku 1b. Pokazano tam także ciągi wejściowe i odpowiadające im ciągi na wyjściach poszczególnych linii. Na wejścia zwartych połączeń podano wszystkie możliwe kombinacje wartości logicznych 0 i 1, co powinno ułatwić czytelnikowi zrozumienie zachowania się zwarcia typu WOR. Należy zwrócić uwagę, że ciągi bitów na wyjściach wszystkich zwartych połączeń są identyczne pomimo tego, że na wejście każdej linii podano inną sekwencję bitów.



Rys. 1. Przykład zwarcia typu „suma na drucie” trzech linii

Sekwencje testowe

Wartość logiczną podawane na wejście danego i tego połączenia w kolejnych chwilach czasu $t, t+1, t+2, \dots$ tworzą sygnał testowy, który dalej będzie określany mianem szeregowego wektora testowego STV_i (ang. *serial test vector, sequential test vector*) [31, 5]. Podobnie, stany logiczne pojawiające się w kolejnych chwilach czasu $t, t+1, t+2, \dots$ na wyjściu i tego połączenia stanowią sygnał

odpowiedzi testowej tego połączenia, który dalej będzie nazywany szeregowym wektorem odpowiedzi testowej SRV_i (ang. *serial test response vector, sequential test response vector*) lub ciągiem odpowiedzi testowej [31, 5].

Logiczna struktura sieci połączeń będzie w dalszej części artykułu oznaczana poprzez użycie odpowiedniej wartości indeksu f . Dla nieuszkodzonej sieci połączeń $f = \emptyset$. Natomiast w przypadku uszkodzenia jednej lub większej liczby linii $f \in F = \{f_1, f_2, \dots, f_n\}$, gdzie F to zbiór wszystkich rozpatrywanych jedno i wielokrotnych uszkodzeń sieci połączeń. Wobec tego szeregowy wektory odpowiedzi testowych sprawnej oraz uszkodzonej sieci połączeń będą oznaczane jako odpowiednio SRV_{\emptyset} oraz SRV_{f_i} , gdzie $f \in F$. Wektor SRV_{\emptyset} będzie dalej również określane mianem poprawnego lub wzorcowego szeregowego wektora odpowiedzi testowej.

W przypadku sprawnej sieci połączeń szeregowy wektor odpowiedzi testowej każdej i tej linii jest identyczny jak szeregowy wektor testowy podany na tę linię: $SRV_{\emptyset} = STV_i$. Dla sieci uszkodzonej ($f \in F$) ta zależność nie jest spełniona przynajmniej dla jednej linii I_j , tzn. $SRV_{f_i} \neq STV_j$. Natomiast gdy w uszkodzonej sieci połączeń linia I_i jest sprawna, to otrzymany na jej wyjściu szeregowy wektor odpowiedzi testowej będzie taki sam jak dla sprawnej sieci połączeń: $SRV_{f_i} = SRV_{\emptyset} = STV_i$.

Sekwencją wektorów, którą stosunkowo często stosuje się do testowania uszkodzeń statycznych w sieciach połączeń jest prosta/zanegowana sekwencja licząca (ang. *True/Complement counting sequence* – T/C) [32, 33]. Długość sekwencji T/C dla sieci złożonej z v połączeń wynosi $m = 2 \lceil \log_2(v) \rceil$. Każdy i -ty szeregowy wektor testowy STV_i sekwencji T/C o długości m można przedstawić jako konkatencję dwóch ciągów bitów - ciągu $a_i = \langle a_{i,0}, a_{i,1}, \dots, a_{i,\mu-2}, a_{i,\mu-1} \rangle$ oraz jego bitowej negacji $\bar{a}_i = \langle \bar{a}_{i,0}, \bar{a}_{i,1}, \dots, \bar{a}_{i,\mu-2}, \bar{a}_{i,\mu-1} \rangle$. Każdy z tych ciągów ma długości $\mu = m/2$.

Mając na uwadze powyższe stwierdzenia, i -ty szeregowy wektor testowy sekwencji T/C o długości $m = 2\mu$ ma postać:

$$(1) \quad STV_i = a_i \& \bar{a}_i = \langle a_{i,0}, a_{i,1}, \dots, a_{i,\mu-2}, a_{i,\mu-1}, \bar{a}_{i,0}, \bar{a}_{i,1}, \dots, \bar{a}_{i,\mu-2}, \bar{a}_{i,\mu-1} \rangle$$

gdzie symbol „&” oznacza operator konkatencji ciągów albo wektorów. Zauważmy także, że ciąg a_i reprezentuje w postaci binarnej numer i przypisany do danego połączenia:

$$(2) \quad i = \sum_{j=0}^{\mu-1} a_{i,j} \cdot 2^j$$

W dalszej części artykułu będzie stosowana reprezentacja wektorów i ciągów binarnych w postaci wielomianów nad dwuelementowym ciałem Galois (ang. *Galois Field*) $GF(2)$. Bliższe informacje na ten temat można znaleźć m. in. w pracach [34, 35, 5].

Reprezentację wektora STV_i w formie wielomianu nad ciałem Galois $GF(2)$ przedstawiono poniżej [5]:

$$(3) \quad STV_i(x) = 1(x^\mu) \cdot [a_i(x) \cdot (x+1) + 1]$$

W równaniu (3) wielomian

$$(4) \quad a_i(x) = \sum_{j=0}^{\mu-1} \oplus a_{i,j} \cdot x^{\mu-1-j}$$

reprezentuje ciąg a_i podczas gdy wielomian

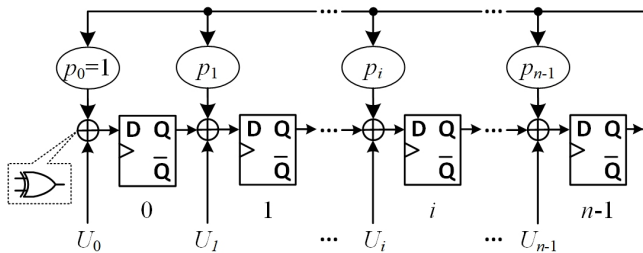
$$(5) \quad \mathbf{1}(x) = \sum_{k=0}^{\mu-1} \oplus x^k$$

reprezentuje ciąg złożony z $\mu = \lceil \log_2(v) \rceil$ jedynek.

Należy zwrócić uwagę, że zastosowany w (4) oraz (5) symbol $\Sigma \oplus$ oznacza sumowanie wielu elementów wielomianu nad ciałem $GF(2)$, podczas gdy użyty w (2) znak Σ jest przypisany do operacji sumowania wielu elementów w arytmetyce dziesiętnej.

Rejestry liniowe stosowane w testowaniu połączeń

W strukturach wbudowanego samotestowania układów logicznych (ang. *Built-In Self-Test - BIST*) powszechnie wykorzystuje się rejestry liniowe MISR (ang. *Multi Input Signature Register*) do kompaktacji odpowiedzi testowych [36].



Rys. 2. Model n -bitowego rejestru MISR

Model n -bitowego rejestru MISR, przedstawiono na rysunku 2. Użyty na rysunku symbol \oplus oznacza dwuwejściową bramkę XOR. Widoczne na schemacie współczynniki p_i – gdzie $i=0,1,2,\dots,n-1$ oraz $p_i \in \{0,1\}$ – decydują o aktualnej strukturze liniowego sprzężenia zwrotnego rejestru.

Rejestr MISR zbudowany jest m. in. z n przerzutników typu D taktowanych wspólnym sygnałem zegarowym clk , które połączone są ze sobą tak, że tworzą rejestr przesuwały. Z wyjścia komórki o numerze $n-1$ wychodzi linia globalnego sprzężenia zwrotnego. Jeżeli $p_i=1$, to linia ta doprowadzona jest poprzez bramkę XOR do wejścia i -tego przerzutnika rejestru. Model n -bitowego rejestru MISR posiada także n wejść równoległych U_0, U_1, \dots, U_{n-1} , gdzie wejście U_i jest podłączone za pośrednictwem bramki XOR do wejścia i -tego przerzutnika rejestru.

Działanie n -bitowego rejestru MISR w trakcie m taktów zegarowych opisuje równanie (6), w którym stany oraz ciągi wejściowe i wyjściowe rejestru reprezentowane są w formie wielomianów nad ciałem $GF(2)$ [35, 28, 5].

$$(6) \quad \frac{u(x) + x^m \cdot h(x)}{p(x)} = q(x) + \frac{r(x)}{p(x)}$$

Znaczenie symboli użytych w równaniu (6) omówiono poniżej:

$$u(x) = \sum_{i=0}^{n-1} \oplus u_i(x) \cdot x^i$$

wielomian reprezentujący m -bitowe ciągi wejściowe rejestru MISR; $\deg u(x) \leq m+n-2$,

$$u_i(x) = \sum_{j=0}^{m-1} \oplus u_{i,j} \cdot x^{m-1-j}$$

wielomian reprezentujący ciąg wejściowy na i -tym wejściu U_i rejestru MISR; $\deg u_i(x) \leq m-1$,

$$h(x) = \sum_{i=0}^{n-1} \oplus h_i \cdot x^i$$

wielomian reprezentujący stan początkowy rejestru MISR; $\deg h(x) \leq n-1$,

$$r(x) = \sum_{i=0}^{n-1} \oplus r_i \cdot x^i$$

wielomian reprezentujący stan końcowy rejestru MISR - sygnaturę; stanowi resztę z dzielenia (6); $\deg r(x) \leq n-1$,

$$q(x)$$

wielomian reprezentujący ciąg binarny, pojawiający się na wyjściu ostatniego, $(n-1)$ -go przerzutnika rejestru MISR; stanowi iloraz dzielenia (6); $\deg q(x) \leq m-1$,

$$p(x) = x^n + \sum_{i=0}^{n-1} \oplus p_i \cdot x^i$$

wielomian charakterystyczny rejestru MISR; $\deg p(x) = n$

Jeżeli wartość ciągu $q(x)$ nie jest istotna, to równanie (6) można zapisać w innej postaci, która umożliwi wyznaczenie w stosunkowo prosty sposób reszty $r(x)$ z dzielenia (6) gdy znane są struktura, stan początkowy oraz liczba taktów pracy rejestru MISR a także jego ciągi wejściowe:

$$(7) \quad r(x) = [u(x) + x^m \cdot h(x)] \bmod p(x)$$

Kompaktacja odpowiedzi testowych

W literaturze termin „kompaktacja” stosowany jest do określania metod stratnej kompresji danych, w celu odróżnienia ich od metod kompresji bezstratnej [36].

Wyróżniamy dwa rodzaje kompaktacji liniowej: kompaktację przestrzenną [37-42] oraz kompaktację czasową [38, 43-46]. Zadaniem kompaktacji przestrzennej jest redukcja z n do $n' < n$ liczby m -bitowych ciągów odpowiedzi testowych układu logicznego lub sieci połączeń. Klasycznym rozwiązaniem liniowego kompaktora przestrzennego jest układ kombinacyjny o n wejściach i n' wyjściach, zbudowany z bramek XOR. Z kolei istotą kompaktacji czasowej jest przekształcenie w trakcie m kolejnych taktów zegarowych m -bitowego ciągu odpowiedzi testowej w wektor bitowy o długości $m' < m$, który nazywany jest sygnaturą. Typową realizacją kompaktora czasowego jest rejestr SISR (ang. *Single Input Signature Register*) [5]. Oba typy kompaktacji powodują utratę części informacji, co prowadzi do maskowania błędów w odpowiedzi testowej (ang. *error aliasing*). To zjawisko z kolei jest jedną z przyczyn maskowania uszkodzeń w badanym układzie logicznym lub sieci połączeń.

Oba z wyżej wymienionych rodzajów kompaktacji ciągów wejściowych, zachodzące w n -bitowym rejestrze MISR o liniowym sprzężeniu zwrotnym zdefiniowanym wielomianem $p(x)$ opisuje zależność (7). Poniżej zapisano ją osobno dla sprawnej sieci połączeń (równanie 8) oraz sieci połączeń, która uległa uszkodzeniu $f \in F$ (równanie 9).

$$(8) \quad r_{\emptyset}(x) = [u_{\emptyset}(x) + x^m \cdot h(x)] \bmod p(x)$$

$$(9) \quad r_f(x) = [u_f(x) + x^m \cdot h(x)] \bmod p(x)$$

Użyte w (8) i (9) wielomiany $u_{\emptyset}(x)$ i $u_f(x)$ mają odpowiednio postać:

$$(10) \quad u_{\emptyset}(x) = \sum_{i=0}^{n-1} \oplus u_{\emptyset i}(x) \cdot x^i$$

$$(11) \quad u_f(x) = \sum_{i=0}^{n-1} \oplus u_{f i}(x) \cdot x^i$$

gdzie wielomian $u_{\mathcal{O}}(x)$ reprezentuje ciąg binarny $u_{\mathcal{O}}=STV_i=SRV_{\mathcal{O}}$ pojawiający się na wyjściu i -tej linii sprawnej sieci połączeń, natomiast wielomian $u_{f_i}(x)$ związany jest z ciągiem bitów u_{f_i} otrzymywanym na wyjściu i -tej linii sieci połączeń, która uległa uszkodzeniu $f \in F$.

Oznaczmy przez e_{f_i} pewien abstrakcyjny ciąg binarny, którego bity mają wartość logiczną 1 tylko na tych pozycjach, na których ciąg u_{f_i} różni się od ciągu $u_{\mathcal{O}}$:

$$(12) \quad e_{f_i} = u_{\mathcal{O}_i} \text{ xor } u_{f_i} = SRV_{\mathcal{O}_i} \text{ xor } SRV_{f_i} = STV_i \text{ xor } SRV_{f_i}$$

gdzie xor to operator bitowej sumy modulo 2 (ang. *bitwise XOR*). Jest to tzw. ciąg błędów związany z połączeniem I_i , który można również zapisać w postaci wielomianowej:

$$(13) \quad e_{f_i}(x) = u_{\mathcal{O}_i}(x) + u_{f_i}(x)$$

gdzie $i \in \{0, 1, \dots, n-1\}$.

Dodając (8) i (9) stronami otrzymamy następującą zależność:

$$(14) \quad r_{\mathcal{O}}(x) + r_f(x) = [u_{\mathcal{O}}(x) + u_f(x)] \text{ mod } p(x)$$

Korzystając z (10), (11) oraz (13) występujące w równaniu (14) wyrażenie $u_{\mathcal{O}}(x) + u_f(x)$ można zapisać w postaci:

$$(15) \quad \begin{aligned} u_{\mathcal{O}}(x) + u_f(x) &= \\ &= \sum_{i=0}^{n-1} \oplus u_{\mathcal{O}_i}(x) \cdot x^i + \sum_{i=0}^{n-1} \oplus u_{f_i}(x) \cdot x^i = \\ &= \sum_{i=0}^{n-1} \oplus [u_{\mathcal{O}_i}(x) + u_{f_i}(x)] \cdot x^i = \\ &= \sum_{i=0}^{n-1} \oplus e_{f_i}(x) \cdot x^i = e_f(x) \end{aligned}$$

Ciąg $e_f(x)$ zdefiniowany równaniem (16) określany jest w literaturze mianem ekwiwalentnego ciągu błędów, gdyż reprezentuje efekt kompaktacji przestrzennej ciągów błędów $e_{f_i}(x)$ [47]. Z kolei wielomian $r_{e_f}(x)$ opisany zależnością (17) nazywany jest resztą ekwiwalentną.

$$(16) \quad e_f(x) = \sum_{i=0}^{n-1} \oplus e_{f_i}(x) \cdot x^i$$

$$(17) \quad r_{e_f}(x) = r_{\mathcal{O}}(x) + r_f(x)$$

Mając na uwadze (15) oraz (17) równanie (14) może zostać zapisane w następującej formie:

$$(18) \quad r_{e_f}(x) = e_f(x) \text{ mod } p(x)$$

Analiza zależności (18) prowadzi do wniosku, że reszta ekwiwalentna $r_{e_f}(x)$ jest rezultatem kompaktacji czasowej ekwiwalentnego ciągu błędów $e_f(x)$ w rejestrze MISR, który rozpoczyna pracę od zerowego stanu początkowego $h(x)=0$. Jak już wspomniano, ciąg $e_f(x)$ jest z kolei efektem kompaktacji przestrzennej ciągów błędów $e_{f_i}(x)$ wchodzących na wejścia równoległe tego rejestru. W przypadku gdy ciąg $e_f(x)=0$, to mamy do czynienia z maskowaniem błędów w wyniku liniowej kompaktacji przestrzennej zachodzącej w rejestrze MISR. Wówczas otrzymujemy również zerową resztę ekwiwalentną: $r_{e_f}(x)=0$. Natomiast jeżeli $r_{e_f}(x) \neq 0$ pomimo, że ekwiwalentny ciąg błędów jest

niezerowy - tzn. $e_f(x) \neq 0$ - to źródłem maskowania błędów w odpowiedzi testowej jest liniowa kompaktacja czasowa odbywająca się w rejestrze MISR. Zgodnie z (17) w obu przypadkach zachodzi $r_f(x) = r_{\mathcal{O}}(x)$, czyli dla uszkodzonej sieci połączeń otrzymamy w rejestrze MISR taką samą sygnaturę jak w przypadku sprawnej sieci połączeń.

Asymptotyczne prawdopodobieństwo maskowania błędów w procesie kompaktacji czasowej, mającej miejsce w n -bitowym rejestrze MISR, wynosi $P_{af}=2^{-n}$ [35, 47, 5]. Dla rejestru 16-bitowego to prawdopodobieństwo ma wartość $P_{af}=2^{-16} \cong 1,53 \times 10^{-5}$. Natomiast w przypadku rejestrów 32- i 64-bitowego spada ono do wartości odpowiednio $P_{af}=2^{-32} \cong 2,33 \times 10^{-10}$ oraz $P_{af}=2^{-64} \cong 5,42 \times 10^{-20}$. Wynika stąd, że zastosowanie rejestru MISR o odpowiednio dużej długości pozwala na zredukowanie prawdopodobieństwa maskowania błędów w trakcie kompaktacji czasowej do pomijalnie małej wartości. W związku z tym w dalszej części artykułu uwaga zostanie skoncentrowana na zjawisku maskowania błędów będącym rezultatem kompaktacji przestrzennej w rejestrze MISR ciągów odpowiedzi testowych sieci połączeń.

Ciągi błędów

W celu stwierdzenia, czy w rejestrze MISR następuje maskowanie błędów, konieczna jest znajomość ciągów błędów będących wynikiem pojawienia się danego rodzaju uszkodzeń w sieci połączeń oraz podania na wejścia tej sieci określonej sekwencji testowej. Zagadnienie to dla przedstawionych wcześniej zwarć typu WOR oraz sekwencji T/C omówiono poniżej.

Weźmy pod uwagę sieć złożoną z v połączeń. Załóżmy, że doszło w niej do zwarcia typu WOR linii I_i oraz I_j . Na wejścia testowanej sieci połączeń podano sekwencję T/C o długości m . Oznaczmy przez STV_i oraz STV_j szeregowe wektory testowe, pobudzające wejścia uszkodzonych linii odpowiednio I_i oraz I_j . Niech $STV_i = a \& \bar{a}$ i $STV_j = b \& \bar{b}$,

gdzie a i b to dowolne ciągi bitów o długości $\mu = m/2$ spełniające zależność $a \neq b$ a symbol „&” oznacza operator konkatencji ciągów lub wektorów. Zdefiniujmy teraz ciąg $\chi = a \text{ xor } b$. Ciąg χ ma jedynki na tych pozycjach, na których ciągi a oraz b się różnią. Oznaczmy przez α ciąg bitów identyczny z ciągiem a na tych pozycjach, na których ciąg χ ma jedynki, podczas gdy pozostałe bity ciągu α są równe 0. Podobnie, oznaczmy przez β ciąg bitów identyczny z ciągiem b na tych pozycjach, na których ciąg χ ma jedynki, podczas gdy pozostałe bity ciągu β są równe 0. Czyli $\alpha = a \text{ and } \chi$ oraz $\beta = b \text{ and } \chi$, gdzie and to operator bitowego iloczynu logicznego (ang. *bitwise AND*). Inaczej rzecz ujmując, ciągi α i β zawierają te bity ciągów a i b na których te ostatnie się różnią. Zdefiniujmy także ciąg ψ , który jest identyczny z ciągami a i b na tych pozycjach, na których ciąg χ ma bity o wartości 0, podczas gdy pozostałe bity ciągu ψ są równe 0. Inaczej mówiąc, ciąg ψ zawiera te bity ciągów a i b , które w obu wektorach mają identyczne wartości. Czyli $\psi = \alpha \text{ and } \bar{\chi}$ oraz $\psi = \beta \text{ and } \bar{\chi}$. Niech ponadto ciągi α^* , β^* , ψ^* będą uzupełnieniami ciągów odpowiednio α , β , ψ określonymi w następujący sposób:

$\alpha^* = \alpha \text{ xor } \chi$, $\beta^* = \beta \text{ xor } \chi$ oraz $\psi^* = \psi \text{ xor } \bar{\chi}$. Zauważmy przy tym, że zachodzą następujące zależności: $\alpha^* = \beta$ oraz $\beta^* = \alpha$

Korzystając z powyższych definicji wektory szeregowe $SRV_{\mathcal{O}_i} = STV_i$ oraz $SRV_{\mathcal{O}_j} = STV_j$ mogą zostać zapisane jako:

$$(19) \quad \begin{aligned} SRV_{\mathcal{O}_i} &= STV_i = (\alpha \text{ xor } \psi) \& (\overline{\alpha \text{ xor } \psi}) = \\ &= (\alpha \text{ xor } \psi) \& (\alpha^* \text{ xor } \psi^*) \end{aligned}$$

$$(20) \quad \begin{aligned} SRV_{\emptyset j} &= STV_j = (\beta \text{ xor } \psi) \& (\overline{\beta \text{ xor } \psi}) = \\ &= (\beta \text{ xor } \psi) \& (\beta^* \text{ xor } \psi^*) \end{aligned}$$

Powyższe reprezentacje wektorów STV_i i STV_j można przedstawić również w formie wielomianowej:

$$(21) \quad \begin{aligned} SRV_{\emptyset i}(x) &= STV_i(x) = \\ &= x^\mu \cdot [\alpha(x) + \psi(x)] + [\alpha^*(x) + \psi^*(x)] \end{aligned}$$

$$(22) \quad \begin{aligned} SRV_{\emptyset j}(x) &= STV_j(x) = \\ &= x^\mu \cdot [\beta(x) + \psi(x)] + [\beta^*(x) + \psi^*(x)] \end{aligned}$$

W wyniku zwarcia WOR linii I_i z linią I_j , na wyjściach obu tych połączeń otrzymamy następujący szeregowy wektor odpowiedzi testowej:

$$(23) \quad \begin{aligned} SRV_{fi} &= SRV_{fj} = STV_i \text{ or } STV_j = \\ &= (a \& \bar{a}) \text{ or } (b \& \bar{b}) = (a \text{ or } b) \& (\bar{a} \text{ or } \bar{b}) \end{aligned}$$

gdzie *or* to operator bitowej sumy logicznej (ang. *bitwise OR*).

Bitowe sumy logiczne $a \text{ or } b$ oraz $\bar{a} \text{ or } \bar{b}$ można inaczej zapisać odpowiednio jako: $a \text{ or } b = \alpha \text{ xor } \beta \text{ xor } \psi$ oraz $\bar{a} \text{ or } \bar{b} = \alpha^* \text{ xor } \beta^* \text{ xor } \psi^*$. W związku z tym wielomianowy zapis ciągów SRV_{fi} i SRV_{fj} ma następującą postać:

$$(24) \quad \begin{aligned} SRV_{fi}(x) &= SRV_{fj}(x) = \\ &= x^\mu \cdot [\alpha(x) + \beta(x) + \psi(x)] + \\ &+ \alpha^*(x) + \beta^*(x) + \psi^*(x) \end{aligned}$$

Mając na uwadze (12), (21), (22) oraz (24) ciągi błędów dla połączeń I_i oraz I_j możemy zapisać jako:

$$(25) \quad \begin{aligned} e_{fi}(x) &= SRV_{\emptyset i}(x) + SRV_{fi}(x) = \\ &= x^\mu \cdot [\alpha(x) + \psi(x)] + \alpha^*(x) + \psi^*(x) + \\ &+ x^\mu \cdot [\alpha(x) + \beta(x) + \psi(x)] + \\ &+ \alpha^*(x) + \beta^*(x) + \psi^*(x) = \\ &= x^\mu \cdot \beta(x) + \beta^*(x) = x^\mu \cdot \beta(x) + \alpha(x) \end{aligned}$$

$$(26) \quad \begin{aligned} e_{fj}(x) &= SRV_{\emptyset j}(x) + SRV_{fj}(x) = \\ &= x^\mu \cdot [\beta(x) + \psi(x)] + \beta^*(x) + \psi^*(x) + \\ &+ x^\mu \cdot [\alpha(x) + \beta(x) + \psi(x)] + \\ &+ \alpha^*(x) + \beta^*(x) + \psi^*(x) = \\ &= x^\mu \cdot \alpha(x) + \alpha^*(x) = x^\mu \cdot \alpha(x) + \beta(x) \end{aligned}$$

Rozpatrzmy teraz dwukrotne zwarcie typu WOR, będące wynikiem zwarcia typu WOR linii I_i z linią I_j oraz zwarcia typu WOR linii I_k z linią I_l . Połączenia te pobudzane są następującymi szeregowymi wektorami testowymi, należącymi do sekwencji T/C o długości m : $STV_i = a \& \bar{a}$, $STV_j = b \& \bar{b}$, $STV_k = c \& \bar{c}$ oraz $STV_l = d \& \bar{d}$, gdzie a , b , c , d to dowolne, wzajemnie różne ciągi o długości $\mu = m/2$

każdy. Przez analogię do równań (21) i (22) wektory te reprezentowane są przez następujące wielomiany:

$$(27) \quad STV_i(x) = x^\mu \cdot [\alpha(x) + \psi(x)] + \alpha^*(x) + \psi^*(x)$$

$$(28) \quad STV_j(x) = x^\mu \cdot [\beta(x) + \psi(x)] + \beta^*(x) + \psi^*(x)$$

$$(29) \quad STV_k(x) = x^\mu \cdot [\gamma(x) + \omega(x)] + \gamma^*(x) + \omega^*(x)$$

$$(30) \quad STV_l(x) = x^\mu \cdot [\delta(x) + \omega(x)] + \delta^*(x) + \omega^*(x)$$

Znaczenie wielomianów $\alpha(x)$, $\beta(x)$, $\psi(x)$, $\alpha^*(x)$, $\beta^*(x)$, $\psi^*(x)$, omówiono już uprzednio. Natomiast znaczenie wielomianów $\gamma(x)$, $\delta(x)$, $\omega(x)$, $\gamma^*(x)$, $\delta^*(x)$, $\omega^*(x)$ jest analogiczne jak w przypadku wielomianów odpowiednio $\alpha(x)$, $\beta(x)$, $\psi(x)$, $\alpha^*(x)$, $\beta^*(x)$, $\psi^*(x)$. Korzystając z kolei z analogii do równań (25) i (26) poniżej przedstawiono wielomianowy zapis ciągów błędów dla połączeń I_i , I_j , I_k , I_l :

$$(31) \quad e_{fi}(x) = x^\mu \cdot \beta(x) + \alpha(x)$$

$$(32) \quad e_{fj}(x) = x^\mu \cdot \alpha(x) + \beta(x)$$

$$(33) \quad e_{fk}(x) = x^\mu \cdot \delta(x) + \gamma(x)$$

$$(34) \quad e_{fl}(x) = x^\mu \cdot \gamma(x) + \delta(x)$$

Analiza maskowania przez kompaktor MISR zwarc typy WOR w sieci połączeń

Jak już uprzednio wspomniano, jednym ze źródeł niewykrycia uszkodzeń w połączeniach może być maskowanie błędów w ciągach odpowiedzi testowych sieci połączeń, wywoływanych przez te uszkodzenia. Do zamaskowania błędów dochodzi w procesach kompaktacji przestrzennej i czasowej odbywających się w rejestrze MISR. W dalszej części rozdziału zostanie pokazane, że szczególnie istotne jest tu zjawisko wzajemnego kasowania się błędów w w/w ciągach. Dla uproszczenia, dalej będzie używane pojęcie maskowania uszkodzeń przez rejestr MISR. Należy je rozumieć jako niewykrycie uszkodzenia na podstawie sygnatury otrzymanej w rejestrze MISR, spowodowane przyczynami opisanymi powyżej.

Wykorzystując wprowadzony wcześniej wielomianowy zapis ciągów błędów w dalszej części rozdziału dowiedziono dwa twierdzenia określające warunki maskowania przez kompaktor MISR wybranych zwarc połączeń. Sekwencją testową pobudzającą wejścia sieci połączeń, którą uwzględniono w tych rozważaniach jest uprzednio zaprezentowana prosta/zanegowana sekwencja licząca T/C. Skoncentrowano się wyłącznie na zwiarcach typu WOR dwóch połączeń. Wzięto pod uwagę jedno- i dwukrotne uszkodzenia tego typu. Przedstawione twierdzenia zostały zilustrowane przykładami.

Twierdzenie 1

Jeżeli zachodzi jeden z następujących dwóch przypadków:

1) Wielomian $\beta(x)$, odpowiadający szeregowemu wektorowi

$$STV_j = b \& \bar{b} \text{ sekwencji T/C o długości } m=2\mu, \text{ spełnia}$$

warunek $\beta(x)=0$ oraz połączenia I_i i I_j są podłączone odpowiednio do wejść kompaktora MISR o numerach r i s spełniających zależność $r-s=\mu$

albo

2) wielomian $\alpha(x)$ odpowiadający szeregowemu wektorowi

$$STV_i = a \& \bar{a} \text{ sekwencji T/C o długości } m=2\mu, \text{ spełnia}$$

warunek $\alpha(x)=0$ oraz połączenia I_i i I_j są podłączone odpowiednio do wejść kompaktora MISR o numerach r i s spełniających zależność $s-r=\mu$

– gdzie a i b to pewne ciągi bitów o długości μ każdy, $a \neq b$, $i, j \in \{0, 1, \dots, v-1\}$, $r, s \in \{0, 1, \dots, n-1\}$, $i \neq j$, $r \neq s$ – to zwarcie typu WOR między liniami I_i oraz I_j zostanie zamaskowane przez proces kompaktacji przestrzennej, odbywający się w rejestrze MISR i jest niewykrywalne na podstawie sygnatury otrzymanej w tym rejestrze.

Dowód:

Zauważmy na wstępie, że w przypadku wystąpienia omawianego zwarcia nie może zachodzić równocześnie $\alpha(x)=0$ i $\beta(x)=0$. W przeciwnym wypadku mielibyśmy $e_{f_i}(x)=0$ i $e_{f_j}(x)=0$, co oznacza brak uszkodzeń w połączeniach I_i i I_j . Na podstawie równań (15), (25) i (26) ekwiwalentny ciąg błędów można zapisać jako:

$$e_f(x) = e_{f_i}(x) \cdot x^r + e_{f_j}(x) \cdot x^s = [x^{\mu} \cdot \beta(x) + \alpha(x)] \cdot x^r + [x^{\mu} \cdot \alpha(x) + \beta(x)] \cdot x^s$$

ad 1) Jeżeli $r > s$ to wielomian $e_f(x)$ możemy przedstawić w postaci:

$$\begin{aligned} e_f(x) &= x^s \cdot ([x^{\mu} \cdot \beta(x) + \alpha(x)] \cdot x^{(r-s)} + [x^{\mu} \cdot \alpha(x) + \beta(x)]) = \\ &= x^s \cdot (x^{\mu} \cdot [x^{(r-s)} \cdot \beta(x) + \alpha(x)] + [x^{(r-s)} \cdot \alpha(x) + \beta(x)]) = \\ &= x^s \cdot ([\alpha(x) \cdot (x^{\mu} + x^{(r-s)})] + \beta(x) \cdot [x^{(\mu+r-s)} + 1]) \end{aligned}$$

Ponieważ $\beta(x)=0$ oraz $r-s=\mu$, więc ekwiwalentny ciąg błędów $e_f(x)=0$.

ad 2)

Jeżeli $s > r$ to wielomian $e_f(x)$ możemy przedstawić w postaci:

$$\begin{aligned} e_f(x) &= x^r \cdot ([x^{\mu} \cdot \beta(x) + \alpha(x)] + [x^{\mu} \cdot \alpha(x) + \beta(x)] \cdot x^{(s-r)}) = \\ &= x^r \cdot (x^{\mu} \cdot [x^{(s-r)} \cdot \alpha(x) + \beta(x)] + [x^{(s-r)} \cdot \beta(x) + \alpha(x)]) = \\ &= x^r \cdot ([\beta(x) \cdot (x^{\mu} + x^{(s-r)})] + \alpha(x) \cdot [x^{(\mu+s-r)} + 1]) \end{aligned}$$

Ponieważ $\alpha(x)=0$ oraz $s-r=\mu$, więc ekwiwalentny ciąg błędów $e_f(x)=0$.

W obu rozpatrywanych w twierdzeniu przypadkach ekwiwalentny ciąg błędów jest zerowy. W związku z tym, w obu przypadkach zwarcie typu WOR linii I_i oraz I_j zostaje zamaskowane przez proces kompaktacji przestrzennej zachodzący w rejestrze MISR i jest niewykrywalne na podstawie sygnatury otrzymanej w tym rejestrze.

c. b. d. o.

Przykład 1

Weźmy pod uwagę sieć złożoną z $v=16$ połączeń, w której linie I_9 oraz I_{13} uległy zwarcia typu WOR. Na wejścia sieci podano sekwencję T/C o długości $m=2\mu=2\lceil \log_2(v) \rceil=8$. Szeregowe wektory testowe zadane na wejścia uszkodzonych połączeń to odpowiednio $STV_9=10010110$ oraz $STV_{13}=10110100$. Linie I_9 oraz I_{13} podłączono odpowiednio do wejść o numerach $r=7$ i $s=11$ rejestru MISR, którego długość wynosi $n=v=16$. Ciągi a i b odpowiadające wektorom szeregowym STV_9 i STV_{13} mają wartości $a=1001$ i $b=1011$. W ciągach a i b szarym tłem zaznaczono te pozycje bitowe, na których oba ciągi się różnią. Analogiczny zabieg zastosowano w przypadku wektorów szeregowych $STV_9 = a \& \bar{a}$ oraz $STV_{13} = b \& \bar{b}$. Ciągi a i b różnią się na pozycji nr 2, a na pozostałych pozycjach mają takie same wartości. Poniżej podano wartości ciągów potrzebnych do zbadania czy rozpatrywane uszkodzenie jest maskowane przez proces kompaktacji przestrzennej mający miejsce w rejestrze MISR:

$$\chi = a \text{ xor } b = 1001 \text{ xor } 1011 = 0010$$

$$a = a \text{ and } \chi = 1001 \text{ and } 0010 = 0000$$

$$\beta = b \text{ and } \chi = 1011 \text{ and } 0010 = 0010$$

Wielomiany reprezentujące ciągi a oraz β mają odpowiednio postać: $\alpha(x)=0$ oraz $\beta(x)=x^2$.

Zauważmy, że zarówno wartości ciągów pojawiających się na wejściach uszkodzonych połączeń jak i sposób podłączenia tych połączeń do kompaktora odpowiedzi testowych spełnia warunki określone w twierdzeniu 1. Wielomian $\alpha(x)$, odpowiadający szeregowemu wektorowi testowemu STV_9 , ma wartość $\alpha(x)=0$. Ponadto, linie I_9 i I_{13} zostały podłączone odpowiednio do wejść $r=7$ i $s=11$ rejestru MISR, w związku z czym $s-r=4=\mu$.

Zgodnie z równaniami (25) oraz (26) ciągi błędów na wyjściach zwartych połączeń I_9 oraz I_{13} , zapisane w formie wielomianowej, to odpowiednio $e_{f_9}(x)=x^4 \cdot x^2 + 0 = x^6$ oraz $e_{f_{13}}(x)=x^4 \cdot 0 + x^2 = x^2$. Ekwiwalentny ciąg błędów ma w związku z powyższym następującą postać: $e_f(x)=x^7 \cdot e_{f_9}(x) + x^{11} \cdot e_{f_{13}}(x) = x^7 \cdot x^6 + x^{11} \cdot x^2 = x^{13} + x^{13} = 0$.

Ponieważ wielomian $e_f(x)=0$, więc zwarcie typu WOR linii I_9 oraz I_{13} zostało zamaskowane przez proces kompaktacji przestrzennej mający miejsce w rejestrze MISR.

Przykład 2

Weźmy ponownie pod uwagę sieć złożoną z $v=16$ połączeń, w której tym razem zwarcia typu WOR uległy linie I_{14} oraz I_8 . Tak jak poprzednim przykładzie, na wejścia sieci podano sekwencję T/C o długości $m=2\mu=2\lceil \log_2(v) \rceil=8$. Szeregowe wektory testowe zadane na wejścia uszkodzonych połączeń to odpowiednio $STV_{14}=01111000$ oraz $STV_8=00011110$. Linie I_{14} oraz I_8 podłączono odpowiednio do wejść o numerach $r=5$ i $s=1$ rejestru MISR, którego długość wynosi $n=v=16$. Ciągi a i b odpowiadające wektorom szeregowym $STV_{14} = a \& \bar{a}$ i $STV_8 = b \& \bar{b}$ mają wartości $a=0111$ i $b=0001$. W ciągach a i b szarym tłem zaznaczono te pozycje bitowe, których oba ciągi się różnią. To samo zrobiono w przypadku wektorów szeregowych STV_{14} i STV_8 . Ciągi a i b różnią się na pozycjach nr 1 i 2, a na pozostałych pozycjach mają takie same wartości. Poniżej podano wartości ciągów potrzebnych do zbadania czy rozpatrywane uszkodzenie jest maskowane przez proces kompaktacji przestrzennej mający miejsce w rejestrze MISR:

$$\chi = a \text{ xor } b = 0111 \text{ xor } 0001 = 0110$$

$$a = a \text{ and } \chi = 0111 \text{ and } 0110 = 0110$$

$$\beta = b \text{ and } \chi = 0001 \text{ and } 0110 = 0000$$

Wielomiany reprezentujące ciągi a oraz β mają odpowiednio postać: $\alpha(x)=x^2+x$ oraz $\beta(x)=0$.

Zauważmy, że zarówno wartości ciągów pojawiających się na wejściach uszkodzonych połączeń jak i sposób podłączenia tych połączeń do kompaktora odpowiedzi testowych spełnia warunki określone w twierdzeniu 1. Wielomian $\beta(x)$, odpowiadający szeregowemu wektorowi testowemu STV_8 , ma wartość $\beta(x)=0$. Ponadto, linie I_{14} i I_8 zostały podłączone odpowiednio do wejść $r=5$ i $s=1$ rejestru MISR, w związku z czym $r-s=4=\mu$.

Zgodnie z równaniami (25) oraz (26) ciągi błędów na wyjściach zwartych połączeń I_{14} oraz I_8 , zapisane w formie wielomianów, to odpowiednio: $e_{f_{14}}(x)=x^4 \cdot 0 + x^2 + x = x^2 + x$ oraz $e_{f_8}(x)=x^4 \cdot (x^2 + x) + 0 = x^6 + x^5$. Ekwiwalentny ciąg błędów ma w związku z tym następującą postać: $e_f(x)=x^5 \cdot e_{f_{14}}(x) + x^1 \cdot e_{f_8}(x) = x^5 \cdot (x^2 + x) + x \cdot (x^6 + x^5) = x^7 + x^6 + x^7 + x^6 = 0$.

Ponieważ wielomian $e_f(x)=0$, więc zwarcie typu WOR linii I_{14} oraz I_8 zostało zamaskowane przez proces kompaktacji przestrzennej mający miejsce w rejestrze MISR.

Twierdzenie 2

Jeżeli:

1) na linie I_i, I_j, I_k oraz I_l sieci złożonej z v połączeń zostaną podane różne szeregowo wektory testowe, odpowiednio

$$STV_i = a \& \bar{a}, \quad STV_j = b \& \bar{b}, \quad STV_k = c \& \bar{c} \quad \text{oraz}$$

$STV_i = d \& \bar{d}$, sekwencji T/C o długości $m=2\mu=2\lceil \log_2(v) \rceil$,

- 2) wielomiany $\alpha(x)$, $\beta(x)$, $\gamma(x)$, $\delta(x)$, odpowiadające szeregowym wektorom testowym STV_i , STV_j , STV_k , STV_l , spełniają warunki: $\alpha(x)=x^m \cdot \gamma(x)$ oraz $\beta(x)=x^m \cdot \delta(x)$,
- 3) połączenia I_i , I_j , I_k , I_l podłączone są do różnych wejść kompaktora MISR o numerach odpowiednio r , s , t , u , które spełniają warunki: $t=r+w$ oraz $u=s+w$

– gdzie a , b , c , d to pewne wzajemnie różne ciągi bitów o długości μ każdy, $i, j, k, l \in \{0, 1, \dots, v-1\}$ i indeksy te są wzajemnie różne, $r, s, t, u \in \{0, 1, \dots, n-1\}$ i indeksy te są wzajemnie różne, $w \in \{1, \dots, n-2\}$ – to równoczesne zwarcia typu WOR między liniami I_i i I_j oraz między liniami I_k i I_l zostaną zamaskowane przez proces kompaktacji przestrzennej, odbywający się w rejestrze MISR i są niewykrywalne na podstawie sygnatury otrzymanej w tym rejestrze.

Dowód:

Na podstawie równań (15) oraz (31-34) ekwiwalentny ciąg błędów można zapisać jako:

$$e_f(x) = e_{f1}(x) \cdot x^r + e_{f2}(x) \cdot x^s + e_{f3}(x) \cdot x^t + e_{f4}(x) \cdot x^u = [x^m \cdot \beta(x) + \alpha(x)] \cdot x^r + [x^m \cdot \alpha(x) + \beta(x)] \cdot x^s + [x^m \cdot \delta(x) + \gamma(x)] \cdot x^t + [x^m \cdot \gamma(x) + \delta(x)] \cdot x^u$$

Biorąc teraz pod uwagę, że $\alpha(x)=x^m \cdot \gamma(x)$, $\beta(x)=x^m \cdot \delta(x)$, $t=r+w$ oraz $u=s+w$, ekwiwalentny ciąg błędów może zostać przedstawiony w równoważnej postaci:

$$e_f(x) = [x^m \cdot x^w \cdot \delta(x) + x^w \cdot \gamma(x)] \cdot x^r + [x^m \cdot x^w \cdot \gamma(x) + x^w \cdot \delta(x)] \cdot x^s + [x^m \cdot \delta(x) + \gamma(x)] \cdot x^{r+w} + [x^m \cdot \gamma(x) + \delta(x)] \cdot x^{s+w} = x^{(r+w)} \cdot \delta(x) + x^{(r+w)} \cdot \gamma(x) + x^{(s+w)} \cdot \gamma(x) + x^{(s+w)} \cdot \delta(x) = x^{(r+w)} \cdot \delta(x) + x^{(r+w)} \cdot \gamma(x) + x^{(s+w)} \cdot \gamma(x) + x^{(s+w)} \cdot \delta(x) = 0$$

Ponieważ ekwiwalentny ciąg błędów jest zerowy, więc równoczesne zwarcie typu WOR linii I_i z linią I_j oraz linii I_k z linią I_l zostaje zamaskowane przez proces kompaktacji przestrzennej zachodzący w rejestrze MISR i jest niewykrywalne na podstawie sygnatury otrzymanej w tym rejestrze.

c. b. d. o.

Przykład 3

Weźmy po raz kolejny pod uwagę sieć złożoną z $v=16$ połączeń. Przyjmijmy, że doszło w tej sieci do dwukrotnego zwarcia typu WOR dwu połączeń: linii I_5 z linią I_6 oraz linii I_7 z linią I_{11} . Na wejścia sieci podano sekwencję T/C o długości $m=2\mu=2\lceil \log_2(v) \rceil=8$. Szeregowy wektor testowy podane na wejścia uszkodzonych połączeń to odpowiednio $STV_5=10100101$, $STV_6=01101001$, $STV_7=11100111$, $STV_{11}=11010010$. Linie I_5 i I_6 podłączono odpowiednio do wejść o numerach $r=3$ i $s=10$ rejestru MISR, którego długość wynosi $n=v=16$, natomiast linie I_7 i I_{11} podłączono odpowiednio do wejść o numerach $t=5$ i $u=12$ tego rejestru. Ciągi a i b związane z wektorami szeregowymi $STV_5 = a \& \bar{a}$ i $STV_6 = b \& \bar{b}$ mają odpowiednio wartości $a=1010$ i $b=0110$. Podobnie ciągi c i d , związane z wektorami szeregowymi $STV_7 = c \& \bar{c}$ i $STV_{11} = d \& \bar{d}$ mają odpowiednio wartości $c=1110$ i $d=1101$. W ciągach a i b szarym tłem zaznaczono te pozycje bitowe, na których oba ciągi się różnią. Podobnie, w ciągach c i d te pozycje bitowe, na których oba ciągi się różnią, zostały zaznaczone szarym tłem. Analogiczne zabiegi zastosowano w przypadku par wektorów szeregowych STV_5 i STV_6 oraz STV_7 i STV_{11} . Ciągi a i b różnią się na pozycjach nr 0 i 1, a na pozostałych pozycjach mają takie same wartości. Z kolei ciągi c i d różnią się na pozycjach nr 2 i 3, a na pozostałych pozycjach mają identyczne wartości. Poniżej podano wartości ciągów potrzebnych do zbadania czy rozpatrywane

uszkodzenie jest maskowane przez proces kompaktacji przestrzennej mający miejsce w rejestrze MISR:

$$\chi = a \text{ xor } b = 1010 \text{ xor } 0110 = 1100$$

$$\alpha = a \text{ and } \chi = 1010 \text{ and } 1100 = 1000$$

$$\beta = b \text{ and } \chi = 0110 \text{ and } 1100 = 0100$$

$$\varphi = c \text{ xor } d = 1110 \text{ xor } 1101 = 0011$$

$$\gamma = c \text{ and } \varphi = 1110 \text{ and } 0011 = 0010$$

$$\delta = d \text{ and } \varphi = 1101 \text{ and } 0011 = 0001$$

Wielomiany reprezentujące ciągi α , β , γ , δ mają odpowiednio postać: $\alpha(x)=x^3$, $\beta(x)=x^2$, $\gamma(x)=x$, $\delta(x)=1$.

Zauważmy, że zarówno wartości ciągów pojawiających się na wejściach uszkodzonych połączeń jak i sposób podłączenia tych połączeń do kompaktora odpowiedzi testowych spełnia warunki określone w twierdzeniu 2: $\alpha(x)=x^2$, $\gamma(x)$, $\beta(x)=x^2$, $\delta(x)$, $t=r+2$, $u=s+2$.

Zgodnie z równaniami (31-34) ciągi błędów na wyjściach zwartych połączeń I_5 i I_6 oraz I_7 i I_{11} mają odpowiednio postać: $e_{f5}(x)=x^4 \cdot x^2 + x^3 = x^6 + x^3$, $e_{f6}(x)=x^4 \cdot x^2 + x^2 = x^6 + x^2$, $e_{f7}(x)=x^4 \cdot 1 + x = x^4 + x$, $e_{f11}(x)=x^4 \cdot x + 1 = x^5 + 1$. Na podstawie zależności (15) ekwiwalentny ciąg błędów ma w związku z tym postać:

$$e_f(x) = e_{f5}(x) \cdot x^3 + e_{f6}(x) \cdot x^{10} + e_{f7}(x) \cdot x^5 + e_{f11}(x) \cdot x^{12} = (x^6 + x^3) \cdot x^3 + (x^6 + x^2) \cdot x^{10} + (x^4 + x) \cdot x^5 + (x^5 + 1) \cdot x^{12} = x^9 + x^6 + x^{17} + x^{12} + x^9 + x^6 + x^{17} + x^{12} = 0$$

Ponieważ wielomian $e_f(x)=0$, więc dwukrotne zwarcie typu WOR linii I_5 z linią I_6 oraz linii I_7 z linią I_{11} zostało zamaskowane przez proces kompaktacji przestrzennej mający miejsce w rejestrze MISR.

Wyniki eksperymentalne

Rezultaty otrzymane w przykładach 1-3 zostały zweryfikowane eksperymentalnie, na drodze symulacji logicznej. W każdym z trzech eksperymentów wykorzystano ten sam model 16-bitowego rejestru MISR o strukturze zgodnej z tą, którą pokazano na rysunku 2. W przypadku tego konkretnego rejestru $p_0=p_1=p_3=p_{12}=1$, a pozostałe współczynniki p_i mają wartość zero. Liniowe sprzężenie zwrotne omawianego rejestru MISR opisane jest wielomianem pierwotnym $p(x)=x^{16}+x^{12}+x^3+1$. Na potrzeby każdego z wyżej wspomnianych eksperymentów stworzono także odrębny model sieci: $net1$, $net2$, $net3$, złożonej z $v=16$ połączeń. Sposób podłączenia wejść poszczególnych linii I_i danej sieci połączeń do wejść rejestru MISR przedstawiono w tabeli 1. Kolumny 1 i 5 tabeli zawierają numery wejść rejestru MISR. W kolumnach 2, 3, i 4 podano numery linii I_i podłączonych do wejść U_0-U_7 rejestru w przypadku sieci połączeń odpowiednio $net1$, $net2$ i $net3$. Znaczenie zawartości kolumn 6-8 tabeli jest analogiczne jak w przypadku kolumn 2-4, tyle że w odniesieniu do wejść U_8-U_{15} rejestru.

Tabela 1. Sposób podłączenia sieci połączeń do rejestru MISR

1	2	3	4	5	6	7	8
Nr wejścia	Nr sieci połączeń			Nr wejścia	Nr sieci połączeń		
	<i>net1</i>	<i>net2</i>	<i>net3</i>		<i>net1</i>	<i>net2</i>	<i>net3</i>
U_0	I_7	I_2	I_8	U_8	I_6	I_{10}	I_9
U_1	I_4	I_8	I_{13}	U_9	I_5	I_{15}	I_0
U_2	I_{10}	I_4	I_3	U_{10}	I_2	I_0	I_6
U_3	I_{12}	I_6	I_5	U_{11}	I_{13}	I_1	I_{14}
U_4	I_{14}	I_{13}	I_1	U_{12}	I_3	I_5	I_{11}
U_5	I_0	I_{14}	I_7	U_{13}	I_{11}	I_7	I_{15}
U_6	I_1	I_9	I_{12}	U_{14}	I_{15}	I_3	I_4
U_7	I_9	I_{12}	I_2	U_{15}	I_8	I_{11}	I_{10}

Na wejścia każdej z omawianych sieci połączeń podano, w kolejnych taktach zegarowych, następujące $m=8$

wektorów sekwencji T/C: AAAA, CCCC, F0F0, FF00, 5555, 3333, 0F0F, 00FF. Wektory zapisane są w postaci heksadecymalnej, gdzie bit wektora o indeksie 0 jest położony najbardziej z prawej strony. W wyniku kompaktacji ciągów odpowiedzi testowych sieci połączeń *net1*, *net2* i *net3* w rejestrze MISR otrzymano odpowiednio sygnatury: 92E5, D0E9 i F47E. Następnie do każdej z sieci połączeń wprowadzono uszkodzenia opisane w odpowiadającym jej przykładzie i powtórzono powyższe operacje. We wszystkich trzech eksperymentach sygnatura otrzymana dla uszkodzonej sieci połączeń była dokładnie taka sama jak dla sieci sprawnej. Stanowi to potwierdzenie, że w przypadkach uszkodzeń sieci połączeń opisanych w przykładach 1-3 faktycznie nastąpiło zamaskowanie pojedynczych lub podwójnych zwarć WOR dwóch linii przez proces kompaktacji przestrzennej zachodzący w rejestrze MISR.

Podsumowanie

W pracy zbadano, czy klasyczny rejestr MISR, zastosowany w charakterze analizatora odpowiedzi testowych, maskuje uszkodzenia typu zwarcia między połączeniami. W pracy wzięto pod uwagę jedno- i dwukrotne zwarcia typu „suma montażowa” (Wired-OR – WOR) między dwoma połączeniami. W charakterze pobudzeń testowych została wykorzystana prosta/zanegowana sekwencja licząca T/C.

W wyniku przeprowadzonych badań o charakterze teoretycznym określono w formie dwóch twierdzeń warunki, dla jakich nastąpi wzajemne skasowanie się w rejestrze MISR ciągów błędów będących rezultatem rozpatrywanych uszkodzeń sieci połączeń, co skutkuje zamaskowaniem tych uszkodzeń. Przez termin „warunki” należy tu rozumieć sposób podania sekwencji testowej T/C na wejścia badanej sieci połączeń oraz sposób podłączenia tej sieci do wejść rejestru MISR. Oba przedstawione twierdzenia zostały formalnie udowodnione, zilustrowano je również przykładami. Fakty maskowania zwarć połączeń opisane w przykładach zostały ponadto potwierdzone na drodze eksperymentów symulacyjnych.

Treść wspomnianych wyżej twierdzeń wskazuje, że w przypadku zastosowania do testowania sieci połączeń popularnej sekwencji wektorów T/C oraz użycia klasycznego rejestru MISR w roli analizatora odpowiedzi testowych, maskowanie jedno- i dwukrotnych zwarć typu WOR między dwoma liniami będzie występować dla znacznej liczby topologii tej sieci. W związku z tym zagadnienie omówione w niniejszym opracowaniu stanowi istotny problem, wymagający przeprowadzenia dalszych badań – zarówno teoretycznych jak i eksperymentalnych.

Praca została sfinansowana ze środków Ministerstwa Nauki i Szkolnictwa Wyższego na działalność statutową BK-251/RAU12/2024.

Autorzy: dr inż. Tomasz Garbolino, Politechnika Śląska, Katedra Systemów Cyfrowych, Wydział Automatyki, Elektroniki i Informatyki, ul. Akademicka 16, 44-100 Gliwice, E-mail: tgarbolino@polsl.pl

LITERATURA

- [1] Nourmandi-Pour R., Khadem-Zadeh A., Rahmani A. M., An IEEE 1149.1-based BIST method for at-speed testing of inter-switch links in network on chip, *Microelectronics Journal*, 41 (2010), No. 7, 417-429
- [2] Nourmandi-Pour R., Mousavian N., A fully parallel BIST based method to test the crosstalk defects on the inter-switch links in NOC, *Microelectronics Journal*, 44 (2013), No. 3, 248-257
- [3] Haiyun G., Survey of Dynamically Reconfigurable Network-on-Chip, Proc. 2011 International Conference on Future Computer Sciences and Application (ICFCSA), Hong Kong, China, 18-19 June 2011, (2011), 200-203
- [4] Saleem S. et. al., A Survey on Dynamic Application Mapping Approaches for Real-Time Network-on-Chip-Based Platforms, *IEEE Access*, 11 (2023), 122694 – 122721
- [5] Garbolino T., Testowanie i diagnostyka połączeń między modułami cyfrowymi w systemach scalonych: Wybrane zagadnienia, Monografia, Wydawnictwo Politechniki Śląskiej, 659 (2017)
- [6] IEEE Std 1500-2005, IEEE Standard Testability Method for Embedded Core-based Integrated Circuits, IEEE, Piscataway, NJ, USA, (2005)
- [7] Wang R., Chakrabarty K., Testing of Interposer-Based 2.5D Integrated Circuits, *Proc. 2016 IEEE International Test Conference (ITC)*, Fort Worth, TX, USA, 15-17 November 2016, (2016), 1-10
- [8] Wang R., Chakrabarty K., Testing of Interposer-Based 2.5D Integrated Circuits: Challenges and Solutions, *Proc. 2016 IEEE 25th Asian Test Symposium (ATS)*, (2016), 74-79
- [9] Koneru A., Chakrabarty K., An inter-layer interconnect BIST solution for monolithic 3D ICs, *Proc. 2018 IEEE 36th VLSI Test Symposium (VTS)*, San Francisco, CA, USA, 22-25 April 2018, (2018), 1-6
- [10] Koneru A., Chakrabarty K., An Interlayer Interconnect BIST and Diagnosis Solution for Monolithic 3-D ICs, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 39 (2020), No. 10, 3056 – 3066
- [11] Yang W.-H. et. al., A Built-in Self-Test Scheme for TSVs of Logic-DRAM Stacked 3D ICs, *Proc. 2019 International 3D Systems Integration Conference (3DIC)*, Sendai, Japan, 08-10 October 2019, (2019), 1-3
- [12] Sadeghi-Kohan S., Hellebrand S.; Wunderlich H.-J., Stress-Aware Periodic Test of Interconnects, *Journal of Electronic Testing*, 37 (2021), 715-728
- [13] Sadeghi-Kohan S., Hellebrand S.; Wunderlich H.-J., Workload-Aware Periodic Interconnect BIST, *IEEE Design & Test*, 41 (2024), No. 4, 50-55
- [14] Yao J., Dixon B., Stroud C., Nelson V., System-level Built-In Self-Test of global routing resources in Virtex-4 FPGAs, *Proc. 2009 41st Southeastern Symposium on System Theory*, Tullahoma, TN, USA, March 15-17, 2009, (2009), 29-33
- [15] Benabdeladhim M., Fradi A., Hamdi B., Interconnect BIST based new self-repairing of TSV defect in 3D-IC, *Proc. 2017 International Conference on Engineering & MIS (ICEMIS)*, Monastir, Tunisia, 8-10 May 2017, (2017), 1-4
- [16] Rehman S. U., Benabdenbi M., Anghel L., Application-independent testing of multilevel interconnect in mesh-based FPGAs, *Proc. 2015 10th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS)*, Napoli, Italy, 21-23 April 2015, (2015), 1-6
- [17] Wang X.-F., Si S.-H., Gao C., Huang J., A method of FPGA interconnect resources testing by using XDL-based configuration, *Proc. 2014 Prognostics and System Health Management Conference (PHM-2014 Hunan)*, Zhangjiajie, China, 24-27 August 2014, (2014), 203-207
- [18] Miorandi G., Celin A., Favalli M., Bertozzi D., A built-in self-testing framework for asynchronous bundled-data NoC switches resilient to delay variations, *Proc. 2016 Tenth IEEE/ACM International Symposium on Networks-on-Chip (NOCS)*, Nara, Japan, 31 August - 02 September 2016, (2016), 1-8
- [19] Banerjee S., Chaudhuri A., Hung S.-C.; Chakrabarty K., Advances in Testing and Design-for-Test Solutions for M3D Integrated Circuits, *Proc. 2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Grenoble, France, 01-05 February 2021, (2021), 152-157
- [20] Cui C., Huang J., A 3DIC interconnect interface test and repair scheme based on Hybrid IEEE1838 Die Wrapper Register and BIST circuit, *Proc. 2021 IEEE European Test Symposium (ETS)*, Bruges, Belgium, 24-28 May 2021, (2021), 1-2

- [21] Sekar K., Dey S., LI-BIST: "A Low-Cost Self-Test Scheme for SoC Logic Cores and Interconnects, *Journal of Electronic Testing: Theory and Applications*, 19 (2003), No. 6, 113-123
- [22] Hławiczka A., Gucwa K., Garbolino T., Kopeć M., Testing of crosstalk-type dynamic faults in interconnection networks with use of ring LFSRs, *Przeгляд Elektrotechniczny*, 86 (2010), nr 11a, 133-137
- [23] Akhsham M., Navabi Z., Integrating an Interconnect BIST with Crosstalk Avoidance Hardware, *Proc. 2021 IEEE 27th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, Torino, Italy, 28-30 June 2021, (2021), 1-6
- [24] Jin C. et. al., Built-in-Self-Test-Stacked 3-D Ring Oscillator Based on Through Silicon Vias, *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 5 (2015), No. 2, 217 – 224
- [25] Jani I. et. al., BISTs for post-bond test and electrical analysis of high density 3D interconnect defects, *Proc. 2018 IEEE 23rd European Test Symposium (ETS)*, Bremen, Germany, 28 May - 01 June 2018, (2018), 1-6
- [26] Attarha A., Nourani M., Testing interconnects for noise and skew in gigahertz SoCs, *Proc. IEEE International Test Conference, Baltimore, MD, USA, 30 October – 1 November 2001*, (2001), 305-314
- [27] Jutman A., At-speed on-chip diagnosis of board-level interconnect faults, *Proc. 9th IEEE European Test Symposium (ETS)*, Ajaccio, Corsica, France, 23-26 May 2004, 2-7
- [28] Kopeć M., Garbolino T., Gucwa K., Hławiczka A., Test-per-clock detection, localization and identification of interconnect faults, *Proc. 11th IEEE European Test Symposium (ETS)*, Southampton, United Kingdom, 21-24 May 2006, (2006), 233-238
- [29] Hławiczka A., Gucwa K., Garbolino T., Kopeć M., Can a D flip-flop based MISR compactor reliability detect interconnect faults?, *Proc. 8th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems. DDECS 2005, Sopron, Hungary, April 13-16, 2005*, (2005), 2-10
- [30] Hławiczka A., Gucwa K., Garbolino T., Kopeć M., On detection of interconnect faults by a MISR compactor – unknown problems and new solutions, *Theoretical and Applied Informatics*, 17 (2005), No. 2, 109-126
- [31] de Sousa J. T., Cheng P. Y. K., Boundary-Scan Interconnect Diagnosis, *Frontiers in Electronic Testing*, 18 (2001), Springer US, Kluwer Academic Publishers
- [32] Wagner P., Interconnect Testing with Boundary Scan, *Proc. IEEE International Test Conference, Washington, DC, 30 August-3 September 1987*, (1987) 52-57
- [33] Cheng W.-T., Lewandowski J. L., Wu E., Diagnosis for Wiring Interconnects, *Proc. International Test Conference, Washington, DC, USA, 10-14 September 1990*, (1990), 565-571
- [34] Peterson W. W., Weldon E. J., Error Correcting Codes, The MIT Press, 1994
- [35] Hławiczka A., Rejestry liniowe – analiza, synteza i zastosowania w testowaniu układów cyfrowych, Wydawnictwo Politechniki Śląskiej, 1370 (1997)
- [36] Stroud C. E., A Designer's Guide to Built In Self Test, Kluwer Academic Publishers, 2002
- [37] Janicki J., Mrugalski G., Stelmach A., Urban S., Scan Chain Diagnosis-Driven Test Response Compactor, *2020 IEEE 29th Asian Test Symposium (ATS)*, Penang, Malaysia, 23-26 November 2020, (2020), 1-6
- [38] Liu Y. et. al., X-Tolerant Compactor maXpress for In-System Test Applications With Observation Scan, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 29 (2021) No. 8, 1553 – 1566
- [39] Clouqueur T., Fujiwara H., Saluja K.K., A Class of Linear Space Compactors for Enhanced Diagnostic, *Proc. 14th Asian Test Symposium (ATS'05)*, Calcutta, India, 18-21 December 2005, (2005), 1-6
- [40] Das S. R. et. al., Revisiting response compaction in space for full-scan circuits with nonexhaustive test sets using concept of sequence characterization, *IEEE Transactions on Instrumentation and Measurement* 54 (2005) No. 5, 1662 – 1677
- [41] Sprenger A., Hellebrand S., Tuning Stochastic Space Compaction to Faster-than-at-Speed Test, *Proc. 2018 IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS)*, Budapest, Hungary, 25-27 April 2018, (2018), 73-78
- [42] Kundu S., Chattopadhyay S., Sengupta I., Kapur R., Scan Chain Masking for Diagnosis of Multiple Chain Failures in a Space Compaction Environment, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 23 (2015), No. 7, 1185 - 1195
- [43] Kampmann M., Hellebrand S., Design-for-FAST: Supporting X-tolerant compaction during Faster-than-at-Speed Test, *Proc. 2017 IEEE 20th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS)*, Dresden, Germany, 19-21 April 2017, (2017), 35-41
- [44] Yang J.-S., Chung J., Toubia N.A., Enhancing Superset X - Canceling Method With Relaxed Constraints on Fault Observation, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 35 (2016), No. 2, 298 - 308
- [45] Shenoy J., Ockunzzi K., Singh V., Kamal K., On-chip MISR Compaction Technique to Reduce Diagnostic Effort and Test Time, *Proc. 2019 32nd International Conference on VLSI Design and 2019 18th International Conference on Embedded Systems (VLSID)*, Delhi, India, 05-09 January 2019, (2019), 106-111
- [46] Hülle R., Fišer P., Schmidt J., Reducing Output Response Aliasing Using Boolean Optimization Techniques, *Proc. 2023 26th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS)*, Tallinn, Estonia, 03-05 May 2023, (2023), 33-38
- [47] Novak O. et al., Handbook of testing electronic systems. Praha: Czech Technical University Publishing House, (2005)